

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-078674

(43)Date of publication of application : 22.03.1996

(51)Int.Cl.

H01L 29/78

H01L 21/265

(21)Application number : 06-200957

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 25.08.1994

(72)Inventor : KAWASAKI YOJI  
TAKAHASHI TAKETO  
MURAKAMI TAKASHI

(30)Priority

Priority number : 05229394  
06149476Priority date : 16.09.1993  
30.06.1994

Priority country : JP

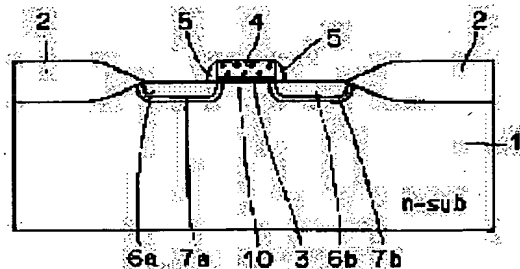
JP

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE AND BIPOLAR TRANSISTOR

## (57)Abstract:

**PURPOSE:** To prevent punch through phenomena by forming an implantation area, which has a depth equivalent to or more than the depth of junction between a source region and a drain region, all along the whole area of the junction area of the source and drain regions.

**CONSTITUTION:** An isolating oxide film 2 is made in the specified region on the main surface of a p-type silicon substrate 1. Source and drain regions 6a and 6b are made at a specified interval so as to catch the channel region 10, on the main surface of the silicon substrate 1 surrounded by the isolating oxide film 2. A gate electrode 4 consisting of polysilicon containing impurities is made on the channel region 10 through a gate oxide film 3. Sidewall oxide films 5 are made at the sections of both sidewalls of a gate electrode 4. A nitrogen implantation areas 7a and 7b are made to cover the junction face of the source and drain regions 6a and 6b. The nitrogen implantation areas 7a and 7b prevent impurities from diffusing to the main surface of the silicon substrate 1 at the time of formation of the source and drain regions 6a and 6b.



## LEGAL STATUS

[Date of request for examination]

22.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3442154

[Date of registration]

20.06.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of

rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] One pair of the source / drain fields of the 2nd conductivity type which has the predetermined junction depth formed by separating predetermined spacing so that it might face across a channel field on the main front face of the semiconductor region of the 1st conductivity type which has the main front face, and said semiconductor region, The impregnation layer containing one chosen from the group which has the junction depth of said source / drain field, and the depth more than an EQC, is formed along the whole region of the junction field of said source / drain field, and consists of nitrogen, a fluorine, an argon, oxygen, and carbon, The semiconductor device equipped with the gate electrode formed through the gate insulating layer on said channel field.

[Claim 2] Said impregnation layer is a

semiconductor device according to claim 1 currently formed so that said source / drain field may be covered, while having the larger depth than the junction depth of said source / drain field.

[Claim 3] The semiconductor region of the 1st conductivity type which has the main front face, and one pair of the sources / drain fields of the 2nd conductivity type formed by separating predetermined spacing so that it might face across a channel field on the main front face of said semiconductor region, It has the gate electrode formed through the gate insulating layer on said channel field, and said gate electrode contains an impurity. Near the front face by the side of said gate insulating layer of said gate electrode The semiconductor device with which the impregnation layer containing one chosen from the group which consists of nitrogen, a fluorine, an argon, oxygen, and carbon is formed.

[Claim 4] The process which forms a gate electrode in the predetermined field on the main front face of the semiconductor region of the 1st conductivity type through a gate insulating layer, The process which forms an impregnation layer by carrying out the ion implantation of the one chosen from the group which becomes said semiconductor region from nitrogen, a fluorine, an argon, oxygen, and carbon by using said gate electrode as a mask by the 1st projection range, The manufacture approach of a

semiconductor device equipped with the process which forms one pair of impurity ranges of the 2nd conductivity type by carrying out the ion implantation of the impurity of the 2nd conductivity type to said semiconductor region by the 2nd projection range smaller than said 1st projection range by using said gate electrode as a mask, and the process which performs heat treatment after that.

[Claim 5] The process which forms a gate electrode in the predetermined field on the main front face of the semiconductor region of the 1st conductivity type through a gate insulating layer, The process which forms the impurity range which has the predetermined depth from the up front face of said gate electrode in said gate electrode by introducing an impurity into said gate electrode, The manufacture approach of a semiconductor device equipped with said impurity range, the process which forms the impregnation layer which has the depth more than an EQC, and the process which performs heat treatment after that by carrying out the ion implantation of the one chosen from the group which becomes said gate electrode from nitrogen, a fluorine, an argon, oxygen, and carbon.

[Claim 6] Said nitrogen by which an ion implantation is carried out is the manufacture approach of a semiconductor device given in either of claims 4 or 5 containing one of having been chosen from the group which

consists of single ion (N+) of nitrogen, and molecular ion (N2+) of nitrogen.

[Claim 7] The bipolar transistor characterized by having a P type epitaxial growth phase containing boron and nitrogen.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Industrial Application] More specifically, this invention relates to the semiconductor device which has an MOS (Metal-Oxide-Semiconductor) transistor, and its manufacture approach about a semiconductor device and its manufacture approach.

#### [0002]

### [Description of the Prior Art]

Conventionally, the semiconductor device containing a P channel MOS transistor is known as one of the semiconductor devices. Drawing 40 is the sectional view having shown the semiconductor device containing the conventional P channel MOS transistor. With reference to drawing 40, the separation oxide film 102 for isolation is formed in the predetermined field on the main front face of the silicon substrate 101 of n mold with the conventional semiconductor device. Predetermined spacing is

separated and the source / drain fields 106a and 106b of p mold are formed so that it may face across the channel field 110 on the active region surrounded with the separation oxide film 102. On the channel field 110, the gate electrode 104 is formed through gate oxide 103. The sidewall oxide film 105 is formed in a part for the both-sides wall of the gate electrode 104.

[0003] The P channel MOS transistor is formed with the source / drain fields 106a and 106b, and the gate oxide 103 and the gate electrode 104 of p mold. The gate electrode 104 consists of polysilicon containing the impurity of p molds, such as boron (B), and has the thickness of about 2000Å.

[0004] Drawing 41 - drawing 46 are the sectional views for explaining the manufacture approach of the conventional semiconductor device shown in drawing 40. With reference to drawing 40 - drawing 46, the manufacture process of the conventional semiconductor device is explained below.

[0005] First, as shown in drawing 41, it is LOCOS (LOCAl Oxidation of Silicon) to the predetermined field on the main front face of the silicon substrate 101 of n mold. The separation oxide film 102 is formed using law. After forming in the whole surface the non doped polysilicon film (not shown) which has silicon oxide (not shown) and the thickness of about 2000Å, by carrying out patterning, the gate

electrode 104 which consists of gate oxide 103 which consists of silicon oxide, and a non doped polysilicon film is formed.

[0006] Next, as shown in drawing 42, a resist 111 is formed using a photoengraving-process technique so that fields other than gate electrode 104 may be covered. The ion implantation of the boron is carried out to the gate electrode 104 by using a resist 111 as a mask. A resist 111 is removed after this. Next, as shown in drawing 43, in order to activate the impurity (boron) by which the ion implantation was carried out to the gate electrode 104, it heat-treats about 30 minutes at 800 degrees C - 1000 degrees C.

[0007] Next, as shown in drawing 44, after forming silicon oxide (not shown) in the whole surface, the sidewall oxide film 105 is formed in a part for the both-sides wall of the gate electrode 104 by performing anisotropic etching.

[0008] Next, as shown in drawing 45, a resist 112 is formed on the gate electrode 104 using a photoengraving-process technique. Then, as shown in drawing 46, the ion implantation of the impurity of p molds, such as boron, is carried out to a silicon substrate 101 by using a resist 112, the sidewall oxide film 105, and the separation oxide film 102 as a mask. Thereby, the ion-implantation fields 107a and 107b of p mold are formed.

[0009] Then, a resist 112 is removed. And the boron introduced into the

ion-implantation fields 107a and 107b is electrically activated by performing heat treatment about 30 minutes at 800 degrees C. Thereby, the impurity diffusion fields (the source / drain field) 106a and 106b as shown in drawing 40 are formed. Thus, the semiconductor device which has the conventional P channel MOS transistor was formed.

[0010]

[Problem(s) to be Solved by the Invention] In the above-mentioned conventional semiconductor device, the inconvenience that the redistribution of an impurity happens arises by heat treatment at the time of activating the impurity introduced into the impurity impregnation fields 107a and 107b of p mold shown in drawing 46. Namely, the impurity introduced into the impurity impregnation fields 107a and 107b of p mold by heat treatment is spread in all the directions of the interior of a silicon substrate 101. Consequently, the impurity diffusion fields (the source / drain field) 106a and 106b (refer to drawing 40) of p mold larger than the impurity impregnation fields 107a and 107b (refer to drawing 46) of p mold are formed.

[0011] Drawing 47 is a sectional view for explaining the trouble of the conventional semiconductor device. If the magnitude of the source / drain fields 106a and 106b of p mold becomes large by diffusion of the impurity by heat treatment with

reference to drawing 47, channel length L will become short. There was a trouble that the so-called punch-through phenomenon in which it becomes impossible for the depletion layer near [one] the field of the source / drain fields 106a and 106b to control a current by breadth and gate voltage even to the field of another side occurred by this. This punch-through phenomenon appears notably especially with detailed-izing of a component.

[0012] Moreover, there was also a trouble of p mold impurity in the gate electrode 104 (boron) passing through gate oxide 103, and being spread even to the channel field 110 as another trouble by heat treatment at the time of activating p mold impurity in the gate electrode 104. When p mold impurity in the gate electrode 104 was spread to the channel field 110, there was a trouble of changing the threshold electrical potential difference of an MOS transistor.

[0013] Moreover, also in a bipolar transistor, the same trouble arises with having described above. That is, boron is used as a p mold impurity of p mold epitaxial layer which constitutes a bipolar transistor. In this case, it is easy to carry out thermal diffusion of the boron at the time of heat treatment. Thus, if boron carries out thermal diffusion, for example in a npn mold bipolar transistor, the trouble that effective base width of face degrades cut-off frequency and a

high-speed operation property by diffusion of boron as a result of [ its ] breadth will arise.

[0014] Made in order that this invention might solve the above technical problems, the object of invention given in claims 1 and 2 is preventing a punch-through phenomenon effectively in a semiconductor device.

[0015] The object of invention according to claim 3 is preventing effectively fluctuation of the threshold electrical potential difference produced when the impurity in a gate electrode is spread to a channel field in a semiconductor device.

[0016] It is controlling effectively an impurity diffusing the object of invention of a publication in the manufacture approach of a semiconductor device by heat treatment at the time of forming the source / drain field in claims 4 and 6.

[0017] The object of invention given in claims 5 and 6 is preventing effectively being spread in a channel field by heat treatment for activation of the impurity in a gate electrode in the manufacture approach of a semiconductor device.

[0018] The object of invention according to claim 7 is preventing degradation of the property by boron diffusion effectively in a bipolar transistor.

[0019]

[Means for Solving the Problem] The semiconductor region of the 1st conductivity type with which the semiconductor device in claims 1 and 2

has the main front face, One pair of the source / drain fields of the 2nd conductivity type which has the predetermined junction depth formed by separating predetermined spacing so that it might face across a channel field on the main front face of the semiconductor region, The impregnation layer containing one chosen from the group which has the junction depth of its source / drain field, and the depth more than an EQC, is formed along the whole region of the junction field of the source / drain field, and consists of nitrogen, a fluorine, an argon, oxygen, and carbon, It has the gate electrode formed through the gate insulating layer on the channel field. In addition, preferably, the above-mentioned impregnation layer is formed so that the source / drain field may be covered, while having the larger depth than the junction depth of the source / drain field.

[0020] The semiconductor device in claim 3 is equipped with the semiconductor region of the 1st conductivity type which has the main front face, one pair of the sources / drain fields of the 2nd conductivity type formed by separating predetermined spacing so that it might face across a channel field on the main front face of the semiconductor region, and the gate electrode formed through the gate insulating layer on the channel field. And while the gate electrode contains the impurity, near the front face by the side of the gate insulating layer of

a gate electrode, the impregnation layer containing one chosen from the group which consists of nitrogen, a fluorine, an argon, oxygen, and carbon is formed.

[0021] The process at which the manufacture approach of the semiconductor device in claim 4 forms a gate electrode in the predetermined field on the main front face of the semiconductor region of the 1st conductivity type through a gate insulating layer, The process which forms an impregnation layer by carrying out the ion implantation of the one chosen from the group which becomes a semiconductor region from nitrogen, a fluorine, an argon, oxygen, and carbon by using the gate electrode as a mask by the 1st projection range, It has the process which forms one pair of impurity ranges of the 2nd conductivity type, and the process which performs the postheat treatment by carrying out an ion implantation by the 2nd projection range smaller than the 1st projection range which described the impurity of the 2nd conductivity type above to the semiconductor region by using a gate electrode as a mask.

[0022] The process at which the manufacture approach of the semiconductor device in claim 5 forms a gate electrode in the predetermined field on the main front face of the semiconductor region of the 1st conductivity type through a gate

insulating layer, The process which forms the impurity range which has the predetermined depth from the up front face of a gate electrode in a gate electrode by introducing an impurity into the gate electrode, It has the impurity range described above by carrying out the ion implantation of the one chosen from the group which becomes a gate electrode from nitrogen, a fluorine, an argon, oxygen, and carbon, the process which forms the impregnation layer which has the depth more than an EQC, and the process which performs the postheat treatment. In addition, when carrying out the ion implantation of the nitrogen, you may make it use either the single ion ( $N^+$ ) of nitrogen, or the molecular ion ( $N_2^+$ ) of nitrogen in the manufacture approach of the semiconductor device in above-mentioned claims 4 and 5.

[0023] The bipolar transistor in claim 7 is characterized by having p mold epitaxial growth phase containing boron and nitrogen.

[0024]

[Function] In the semiconductor device concerning claims 1 and 2, since the impregnation layer which has the junction depth of the source / drain field and the depth more than an EQC is formed along the whole region of the junction field of the source / drain field, it is prevented effectively that an impurity is spread by heat treatment at the time of formation of the source / drain field.



Thereby, like before, by diffusion of an impurity, it is prevented that channel length becomes short and, as a result, a punch-through phenomenon is reduced effectively. In addition, if it forms so that the source / drain field may be covered while having the larger depth than the junction depth of the source / drain field for the above-mentioned impregnation layer, diffusion of the impurity by heat treatment at the time of formation of the source / drain field will be controlled more.

[0025] In the semiconductor device concerning claim 3, since the impregnation layer is formed near the front face by the side of the gate insulating layer of the gate electrode containing an impurity, it is prevented effectively that the impurity in a gate electrode passes through a gate insulating layer, and is spread even to a channel field by heat treatment at the time of activating the impurity in a gate electrode. Thereby, fluctuation of the threshold electrical potential difference by diffusion of the impurity to a channel field is prevented.

[0026] By the manufacture approach of the semiconductor device concerning claim 4, an impregnation layer is formed in the semiconductor region of the 1st conductivity type by carrying out the ion implantation of the one chosen from the group which consists of nitrogen, a fluorine, an argon, oxygen, and carbon by the 1st projection range. Moreover, since

one pair of impurity ranges of the 1st conductivity type are formed and the postheat treatment is performed by carrying out the ion implantation of the impurity of the 2nd conductivity type to a semiconductor region by the 2nd projection range smaller than the 1st projection range. It is controlled effectively that the impurity of an impurity range is spread by the impregnation layer described above on the occasion of the heat treatment. It is prevented that channel length becomes short like before by this, and, as a result, a punch-through phenomenon is reduced effectively.

[0027] Since the impregnation layer which has the depth more than the impurity range and EQC by being chosen out of the group which becomes the gate electrode which includes the impurity range which has the predetermined depth by the manufacture approach of the semiconductor device concerning claim 5 from nitrogen, a fluorine, an argon, oxygen, and carbon, and carrying out the ion implantation of one is formed and the postheat treatment is performed, it is prevented that the impurity of an impurity range is spread in a gate insulating-layer side, and trespasses upon a channel field by the impregnation layer. Thereby, fluctuation of a threshold electrical potential difference is prevented. In addition, if the molecular ion ( $N_2^+$ ) of nitrogen is used when

carrying out the ion implantation of the nitrogen in the manufacture approach of the above-mentioned semiconductor device of claims 4 and 5 for example, compared with the case where the single ion (N+) of nitrogen is used, diffusion of an impurity will be controlled more. That is, since it is twice the mass number of this while being twice the nitrogen atomic number of this compared with the single ion (N+) of nitrogen, the crystallinity of the field where the molecular ion (N<sub>2</sub><sup>+</sup>) of nitrogen is poured in turbulence comes to be easy of the molecular ion (N<sub>2</sub><sup>+</sup>) of nitrogen more. Thereby, while the channeling phenomenon at the time of the ion implantation of an impurity is controlled more, it is also controlled more that an impurity is spread at the time of heat treatment.

[0028] In the bipolar transistor concerning claim 7, since p mold epitaxial growth phase contains boron and nitrogen, diffusion of boron is effectively prevented by the nitrogen.

[0029]

[Example] Hereafter, the example of this invention is explained based on a drawing.

[0030] Drawing 1 is the sectional view having shown the semiconductor device which has a P channel MOS transistor by the 1st example of this invention. With reference to drawing 1, the separation oxide film 2 is formed in the

predetermined field on the main front face of the silicon substrate 1 of n mold with the semiconductor device by this 1st example. On the main front face of the silicon substrate 1 surrounded with the separation oxide film 2, predetermined spacing is separated and the source / drain fields 6a and 6b are formed so that it may face across the channel field 10. On the channel field 10, the gate electrode 4 which consists of polish recon film containing an impurity is formed through the gate oxide 3 which has the thickness of 500-2000Å. The sidewall oxide film 5 is formed in a part for the both-sides wall of the gate electrode 4.

[0031] Here, in this 1st example, the nitrogen impregnation fields 7a and 7b are formed, respectively so that the junction field of the source / drain fields 6a and 6b may be covered. By these nitrogen impregnation fields 7a and 7b, an impurity can prevent a perpendicular direction and being spread horizontally effectively to the main front face of a silicon substrate 1 in the case of the heat treatment process at the time of formation of the source / drain fields 6a and 6b. The inconvenience that channel length becomes short by horizontal diffusion of an impurity by this like the conventional semiconductor device shown in drawing 41 is not produced, either. Consequently, a punch-through phenomenon can be prevented effectively.

[0032] Drawing 2 - drawing 8 are the

sectional views for explaining the manufacture process of the semiconductor device of the 1st example shown in drawing 1 . With reference to drawing 1 - drawing 8 , the manufacture process of the semiconductor device of the 1st example is explained below.

[0033] first, it is shown in drawing 2 -- as -- the predetermined field on the main front face of the silicon substrate 1 of n mold -- LOCOS -- the separation oxide film 2 is formed using law. After forming in the whole surface the non doped polysilicon film (not shown) which has silicon oxide (not shown) and the thickness of about 2000Å, by carrying out patterning, the gate electrode 4 which consists of gate oxide 3 which consists of silicon oxide, and a non doped polysilicon film is formed.

[0034] Next, as shown in drawing 3 , a resist 11 is formed using a photoengraving-process technique so that fields other than gate electrode 4 may be covered. The ion implantation of the boron (B) is carried out to the gate electrode 4 by using a resist 11 as a mask. Then, a resist 11 is removed. And as shown in drawing 4 , the impurity (boron) poured into the gate electrode 4 is activated by performing heat treatment for 30 minutes under about 800-900-degree C temperature conditions. [0035] Next, by carrying out anisotropic etching, after forming silicon oxide (not shown) in the whole surface, as shown in

drawing 5 , the sidewall oxide film 5 is formed in a part for the both-sides wall of the gate electrode 4.

[0036] Next, as shown in drawing 6 , a resist 12 is formed on the gate electrode 4 using a photoengraving-process technique. Then, as shown in drawing 7 , the ion implantation of the nitrogen (N+) is carried out to a silicon substrate 1 by using a resist 12, the sidewall oxide film 5, and the separation oxide film 2 as a mask. The conditions of this ion implantation are set as a value (it is 0.065 micrometers at =30KeV) with larger concentration than the projection range (it is 0.032 micrometers at =10KeV) of the boron with which  $1 \times 10^{15}$  to  $1 \times 10^{16}$  2 and impregnation energy/cm are poured in at an after process. By performing an ion implantation on the above impregnation conditions, the nitrogen impregnation fields 7a and 7b are formed. In addition, the ion implantation for formation of these nitrogen impregnation fields 7a and 7b may be performed before forming the sidewall oxide film 5.

[0037] Next, as shown in drawing 8 , the ion implantation of the boron is carried out to a silicon substrate 1 by using a resist 12, the sidewall oxide film 5, and the separation oxide film 2 as a mask. For impregnation energy, 0.032-micrometer projection range and high impurity concentration are [ this ion implantation ] 2 five E15 pieces/cm at 10KeV(s). It carries out under conditions. Thereby, the

impurity impregnation fields 8a and 8b are formed. These impurity impregnation fields 8a and 8b will be in the condition of having been surrounded by the nitrogen impregnation fields 7a and 7b. Then, a resist is removed.

[0038] Next, as shown in drawing 9, furnace annealing for activating electrically the boron in impurity impregnation field 8a and 8b performs heat treatment for 30 minutes in nitrogen-gas-atmosphere under 800-degree C temperature conditions. Although the boron in impurity impregnation field 8a and 8b is diffused toward the interior of a silicon substrate 1 by this heat treatment, the nitrogen in nitrogen impregnation field 7a is diffused toward the front face of a silicon substrate 1. Diffusion inside the silicon substrate 1 of boron is controlled by the diffusion to silicon substrate 1 front face of this nitrogen. That is, diffusion inside [ silicon substrate 1 ] boron can be controlled by carrying out counter diffusion of the nitrogen to boron. Since diffusion of the boron of a direction along the main front face of a silicon substrate 1 is also controlled by this, it can prevent effectively that channel length becomes short like before. Consequently, a punch-through phenomenon can be reduced.

[0039] Drawing 10 is the correlation diagram having shown the relation between the nitrogen concentration

immediately after a nitrogen ion implantation, and the depth from a substrate front face, and drawing 11 is a correlation diagram having shown the relation between the nitrogen concentration after 800-degree-C annealing, and the depth from a substrate front face. Moreover, drawing 12 is the correlation diagram having shown the relation between the boron concentration immediately after impregnation of boron ion, and the depth from a substrate front face by the comparison with the former, and drawing 13 R> 3 is the correlation diagram having shown the relation between the boron concentration after 800-degree-C annealing, and the depth from a substrate front face by the comparison with the former.

[0040] First, drawing 10 and drawing 11 are referred to, and it is a nitrogen injection rate  $1E15/cm^2$  and  $1E16/cm^2$ . When it sets up, each is understood that the diffusion depth from the substrate front face of a part with nitrogen concentration lower than immediately after impregnation is shallow after 800-degree-C annealing. That is, it turns out that nitrogen is spread toward a substrate front face by annealing. Moreover, as shown in drawing 12 and drawing 13 R> 3, when there is no conventional nitrogen impregnation about boron concentration, compared with immediately after impregnation, it

turns out after annealing that the diffusion depth is deep remarkably. On the other hand, when [ that ] nitrogen impregnation is performed, it is immediately after impregnation and after annealing, and it turns out that distribution of boron concentration hardly changes and redistribution is hardly seen. That is, by performing nitrogen impregnation shows that diffusion inside [ of the boron by heat treatment ] a substrate can be controlled. However, it turns out that it is necessary to pour in nitrogen in the phase of an ion implantation more deeply than boron so that clearly from drawing 10 and drawing 12.

[0041] As mentioned above, if the postheat treatment in which the impurity impregnation fields 8a and 8b (refer to drawing 8) where the depth is shallower than it were formed is performed while forming the nitrogen impregnation fields 7a and 7b where the depth is deep, diffusion inside [ of an impurity ] a substrate will be controlled. Thereby, the source / drain fields 6a and 6b with little breadth as shown in drawing 1 can be formed.

[0042] Drawing 14 is the sectional view having shown the semiconductor device containing the P channel MOS transistor by the 2nd example of this invention. With reference to drawing 14, like the 1st example mentioned above, in this 2nd example, the nitrogen impregnation

fields 7a and 7b are formed so that the source / drain fields 6a and 6b may be covered. Furthermore, unlike the 1st example, the nitrogen impregnation field 15 is formed in the front face by the side of the gate oxide 3 of the gate electrode 14 in this 2nd example. And the boron impregnation field 16 is formed on the nitrogen impregnation field 15 in the gate electrode 14.

[0043] It can prevent effectively that boron passes gate oxide 3 in the case of heat treatment for activating the boron in the boron impregnation field 16, and is spread to the channel field 10 by the nitrogen impregnation field 15 at it. Thereby, fluctuation of the threshold electrical potential difference produced by diffusion of the impurity to the channel field 10 can be prevented effectively.

[0044] Drawing 15 - drawing 18 are the sectional views for explaining the manufacture process of the gate electrode section of the semiconductor device of the 2nd example shown in drawing 14. With reference to drawing 15 - drawing 18, the manufacture process of the semiconductor device of the 2nd example is explained below.

[0045] first, it is shown in drawing 15 -- as -- the predetermined field on the main front face of a silicon substrate 1 -- LOCOS -- the separation oxide film 2 is formed using law. After forming the non doped polysilicon film (not shown) which

has the silicon oxide (not shown) which has the thickness of about 500-2000Å, and the thickness of about 2000Å so that the whole surface may be covered, by carrying out patterning, the gate electrode 14 which consists of gate oxide 3 which consists of silicon oxide, and a non doped polysilicon film is formed. A resist 17 is formed using a photoengraving-process technique so that parts other than gate electrode 14 may be covered.

[0046] Next, as shown in drawing 16, the ion implantation of the nitrogen (N<sup>+</sup>) is carried out to the gate electrode 14 by using a resist 17 as a mask. The ion implantation of this nitrogen is 2 one E15 to 1E16 pieces/cm. It is concentration and the impregnation energy (for example, 90KeV(s)) with which nitrogen ion is poured in even near the front face by the side of the gate oxide 3 of the gate electrode 14 performs. Thereby, the ion-implantation field 15 is formed.

[0047] Next, it is boron five E15 pieces/cm to the gate electrode 14, using a resist 17 as a mask, as shown in drawing 17 2 An ion implantation is carried out with impregnation energy (for example, 30KeV(s)) with which the depth becomes shallower than the nitrogen impregnation field 15 by concentration. Thereby, the boron impregnation field 16 is formed. Then, a resist 17 is removed.

[0048] In order to activate the boron in the boron impregnation field 16

electrically, heat treatment by 800 degrees C - 1000 degrees C furnace annealing is performed. By this heat treatment, while diffusing the boron in the boron impregnation field 16 toward the direction of gate oxide 3, the nitrogen in the nitrogen impregnation field 15 is diffused toward the upper part. The diffusion to the gate oxide 3 direction of boron is controlled by the counter diffusion of this boron and nitrogen compared with the former. And as eventually shown in drawing 18, it becomes the boron impregnation field 16 and the structure where the nitrogen impregnation field 15 intervenes between gate oxide 3.

[0049] Drawing 19 is the correlation diagram having shown the relation between the depth from the gate electrode surface immediately after an ion implantation, boron concentration, and nitrogen concentration, and drawing 20 is the correlation diagram having shown the relation between the depth from the gate electrode surface after annealing (after heat treatment), boron concentration, and nitrogen concentration. With reference to drawing 19 and drawing 20, it turns out after annealing that the low-concentration part of boron concentration distribution is moving to the gate oxide 3 side for a while compared with immediately after impregnation. On the other hand after annealing, the thing [ that the

high-concentration part of nitrogen concentration distribution is moving to the opposite hand for a while in gate oxide 3 compared with immediately after impregnation] is understood. This means that boron and nitrogen are carrying out counter diffusion. And the diffusion to the gate oxide 3 direction of boron is controlled by the counter diffusion of such boron and nitrogen. As shown in drawing 20, after annealing, it turns out that only nitrogen exists near the gate oxide 3. If such a condition is expressed in a cross section, it will become a cross-section configuration as shown in drawing 18.

[0050] After forming the gate electrode 14 which contains an impurity as mentioned above, the sidewall oxide film 5 shown in drawing 14, the source / drain fields 6a and 6b, and the nitrogen impregnation fields 7a and 7b are formed using the same manufacture process as the 1st example shown in drawing 5 - drawing 9. Thus, the semiconductor device of the 2nd example is completed.

[0051] Drawing 21 - drawing 23 are the sectional views for explaining the manufacture process at the time of forming the gate electrode of the semiconductor device of the 2nd above-mentioned example by the doped polysilicon film. With reference to drawing 21 - drawing 23, the manufacture process at the time of using a doped polysilicon as a gate electrode is explained.

[0052] First, as shown in drawing 21, the gate electrode 24 which consists of gate oxide 3 which consists of silicon oxide, and a doped polysilicon is formed in the predetermined field on the main front face of a silicon substrate 1. A resist 26 is formed so that parts other than gate electrode 24 may be covered.

[0053] Next, as shown in drawing 22, the ion implantation of the nitrogen (N+) is carried out to the gate electrode 24 by using a resist 26 as a mask. The impregnation conditions of this nitrogen are  $1\text{E}15\text{-}1\text{E}16$  piece/cm<sup>2</sup>. It is high impurity concentration and impregnation energy (90KeV) with which nitrogen is poured into about three gate oxide performs. Thereby, the nitrogen impregnation field 25 is formed. Then, a resist 26 is removed. And in order to activate the impurity doped in the gate electrode 24, it heat-treats by furnace annealing under 800-1000-degree C temperature conditions. By this heat treatment, while diffusing the impurity in the gate electrode 24 toward the direction of gate oxide 3, the nitrogen of the nitrogen impregnation field 25 is diffused toward the direction of reverse in gate oxide 3. Thereby, an impurity and nitrogen will carry out counter diffusion and the diffusion to the gate oxide 3 of an impurity is controlled. Consequently, it is prevented that the impurity in the gate electrode 24 passes through gate oxide 3, and is spread even to a channel field.

Thereby, also when using a doped polysilicon film as a gate electrode 24, fluctuation of the threshold electrical potential difference produced by diffusion of the impurity to a channel field can be prevented as much as possible. In addition, after the above-mentioned heat treatment, as shown in drawing 23, an impurity will be in the condition of having been contained a little, in the nitrogen impregnation field 25.

[0054] Drawing 24 is the sectional view having shown the semiconductor device containing the CMOS transistor by the 3rd example of this invention. With reference to drawing 24, the separation oxide film 32 is formed in the predetermined field on the main front face of a silicon substrate 31 in this 3rd example. Moreover, on the main front face of a silicon substrate 31, it is formed so that the N well 33 and the P well 34 may adjoin.

[0055] Predetermined spacing is separated and the source / drain fields 40a and 40b are formed so that it may face across the channel field 51 on the main front face of the N well 33. The nitrogen impregnation fields 41a and 41b are formed so that the source / drain fields 40a and 40b may be covered, respectively. On the channel field 51, gate electrode 36a is formed through gate oxide 35a. Nitrogen impregnation field 38a is formed in the gate oxide 35a side in gate electrode 36a. Boron impregnation

field 37a is formed on the nitrogen impregnation field 38a. Sidewall oxide-film 39a is formed in the side-attachment-wall part of gate electrode 36a.

[0056] Predetermined spacing is separated so that it may face across the channel field 52 on the main front face of the P well 34, and it is n+. The source / drain fields 43a and 43b are formed. n+ In the channel field 52 side of the source / drain fields 43a and 43b, it is n, respectively. The source / drain fields 42a and 42b are formed. On the channel field 52, gate electrode 36b is formed through gate oxide 35b. Nitrogen impregnation field 38b is formed in the gate oxide 35b side in gate electrode 36b, and boron impregnation field 37b is formed on nitrogen impregnation field 38b. Sidewall oxide-film 39b is formed in a part for the both-sides wall of gate electrode 36b.

[0057] The P channel MOS transistor is formed of the source / drain fields 40a and 40b in the N well 33, and gate electrode 36a. n+ in the P well 34 The source / drain fields 43a and 43b, and n- The N-channel metal oxide semiconductor transistor of LDD (Lightly Doped Drain) structure is formed of the source / drain fields 42a and 42b, and gate electrode 36b.

[0058] Here, in this 3rd example, the nitrogen impregnation fields 41a and 41b are formed, respectively so that the source / drain fields 40a and 40b which



constitute a P channel MOS transistor may be covered. It can prevent effectively that the impurity in the source / drain field 40a, and 40b is spread toward the interior of the N well 33 by heat treatment at the time of formation of the source / drain fields 40a and 40b by these nitrogen impregnation fields 41a and 41b. Thereby, since the diffusion by the side of the channel field 51 of the impurity in the source / drain field 40a, and 40b is also controlled, it can prevent that channel length becomes short. Consequently, a punch-through phenomenon can be prevented effectively. This effectiveness is effective especially when a component is made detailed.

[0059] In addition, n+ which constitutes an N-channel metal oxide semiconductor transistor The source / drain fields 43a and 43b are not formed for the wrap nitrogen impregnation field because there is little diffusion according [ n mold impurity ] to heat treatment compared with p mold impurity. these -- for example, IEEE TRANSACTION ON ELECTRON DEVICES.VOL.35.NO. -- 5 and 1988 It is indicated by pp 659-668.

[0060] Moreover, in this 3rd example, the nitrogen impregnation fields 38a and 38b are formed in the field by the side of gate electrode 36a which constitutes a P channel MOS transistor, gate oxide 35a of gate electrode 36b which constitutes an N-channel metal oxide semiconductor transistor, and 35b, respectively. And the

boron impregnation fields 37a and 37b are formed on nitrogen impregnation field 38a and 38b, respectively. It can prevent effectively that boron passes through gate oxide 35a and 35b in the case of heat treatment for activating the boron in boron impregnation field 37a and 37b, and is spread in the channel field 51 and 52 by these nitrogen impregnation fields 38a and 38b at it. Thereby, fluctuation of the channel field 51 and the threshold electrical potential difference by diffusion of the boron into 52 can be prevented. Consequently, it can prevent effectively that the property of a CMOS transistor deteriorates.

[0061] Drawing 25 - drawing 34 are the sectional views for explaining the manufacture process of the semiconductor device of the 3rd example shown in drawing 24 . With reference to drawing 24 - drawing 34 , the manufacture process of the semiconductor device of the 3rd example is explained below.

[0062] First, as shown in drawing 25 , it forms so that the N well 33 and the P well 34 may be adjoined on the main front face of a silicon substrate 31. the predetermined field on the main front face of a silicon substrate 31 -- LOCOS -- the separation oxide film 32 is formed using law.

[0063] Next, as shown in drawing 26 , after forming in the whole surface silicon oxide (not shown) and the non doped

polysilicon film (not shown) which has the thickness of about 2000Å, the gate electrodes 36a and 36b which consist of gate oxide 35a and 35b which consists of silicon oxide, and a non doped polysilicon film are formed by carrying out patterning.

[0064] Next, as shown in drawing 27, a resist 44 is formed using a photoengraving-process technique so that parts other than gate electrode 36a and 36b may be covered. The ion implantation of the nitrogen (N<sup>+</sup>) is carried out to the gate electrodes 36a and 36b by using a resist 44 as a mask. The impregnation conditions of this nitrogen are 2 one E15 to 1E16 pieces/cm. It is concentration and impregnation energy (for example, 90KeV(s)) with which nitrogen ion is poured in even near the gate oxide 35a and 35b performs. Thereby, the nitrogen impregnation fields 38a and 38b are formed.

[0065] Next, as shown in drawing 28, boron is poured into the gate electrodes 36a and 36b by using a resist 44 as a mask. Impregnation energy (for example, 30KeV(s)) which becomes shallower [cm] five E15 pieces /than the nitrogen impregnation fields 38a and 38b at the high impurity concentration of 2 performs the impregnation conditions of this boron. Thereby, the boron impregnation fields 37a and 37b are formed. Then, a resist 44 is removed. And furnace annealing etc. is heat-treated

under 800-1000-degree C temperature conditions. By this heat treatment, the boron in boron impregnation field 37a and 37b diffuses the nitrogen in nitrogen impregnation field 38a and 38b toward a direction reversely in gate oxide 35a and 35b while diffusing it toward gate oxide 35a and 35b.

[0066] Thereby, boron and nitrogen will carry out counter diffusion and the diffusion to gate oxide 35a of boron and the direction of 35b is controlled. Consequently, it is prevented effectively that boron passes through gate oxide 35a and 35b, and is spread to a channel field by heat treatment for activation of boron. Thereby, fluctuation of a threshold electrical potential difference can be prevented.

[0067] Of the counter diffusion of above boron and nitrogen, the nitrogen impregnation fields 38a and 38b and the boron impregnation fields 37a and 37b as eventually shown in drawing 29 are formed.

[0068] Next, as shown in drawing 30, a resist 45 is formed using a photoengraving-process technique so that the N well 33 and the gate electrodes 36a and 36b may be covered. The ion implantation of Lynn (P) is carried out to the P well 34 by using a resist 45 as a mask. Thereby, it is n of low high impurity concentration. The source / drain fields 42a and 42b are formed. Then, a resist 45 is removed.

[0069] Next, as shown in drawing 31 , after forming silicon oxide (not shown) in the whole surface, the sidewall oxide films 39a and 39b are formed in the side-attachment-wall part of the gate electrodes 36a and 36b by carrying out anisotropic etching.

[0070] Next, as shown in drawing 32 , a resist 46 is formed using a photoengraving-process technique so that the N well 33 and the gate electrodes 36a and 36b may be covered. Arsenic (As) is poured into the P well 34 with high high impurity concentration by using a resist 46 as a mask. Thereby, it is n+. The source / drain fields 43a and 43b are formed. Then, a resist 46 is removed.

[0071] Next, as shown in drawing 33 , a resist 47 is formed using a photoengraving-process technique so that the P well 34 and the gate electrodes 36a and 36b may be covered. It is nitrogen one E15 to 1E16 pieces/cm to the N well 33, using a resist 47 and sidewall oxide-film 39a as a mask 2 An ion implantation is carried out by concentration. The impregnation energy is set as a larger value (it is 0.065 micrometers at 30KeV) than the projection range (it is 0.032 micrometers at 10KeV) of the boron poured in at an after process. Thus, by carrying out the ion implantation of the nitrogen, the nitrogen impregnation fields 41a and 41b are formed.

[0072] Next, as shown in drawing 34 , the

ion implantation of the boron is carried out to the N well 33 by using a resist 47 and sidewall oxide film 39a as a mask. The ion implantation of this boron is 2 five E15 pieces/cm. 0.032-micrometer impregnation energy performs by high impurity concentration and 10KeV. Thereby, the boron impregnation fields 40a and 40b shallower than the nitrogen impregnation fields 41a and 41b are formed. Namely, the boron impregnation fields 40a and 40b will be in the condition of having been surrounded by the nitrogen impregnation fields 41a and 41b, respectively.

[0073] Then, a resist 47 is removed. And in order to activate boron electrically, furnace annealing performs heat treatment for 30 minutes in nitrogen-gas-atmosphere mind under 800-degree C temperature conditions. By this heat treatment, while diffusing the boron in boron impregnation field 40a and 40b toward the interior of the N well 33, the nitrogen in nitrogen impregnation field 41a and 41b is diffused toward the front face of the N well 33.

[0074] Diffusion inside the N well 33 of boron is controlled by the counter diffusion of such boron and nitrogen. Consequently, the diffusion to the channel field 51 direction of the boron impregnation fields 40a and 40b is also controlled. It can prevent by this that channel length becomes short effectively, and, as a result, a punch-through

phenomenon can be reduced. The source / drain fields 40a and 40b where diffusion as eventually shown in drawing 24 was controlled by the counter diffusion of such boron and nitrogen are formed.

[0075] In addition, in the manufacture process of the semiconductor device of the 1st above-mentioned example - the 3rd example, although boron ion is poured in after impregnation of nitrogen ion, even if it pours in boron ion before impregnation of nitrogen ion, the same effectiveness is done so. Moreover, in the manufacture process of the semiconductor device of the 1st above-mentioned example - the 3rd example, as the heat treatment approach for activation of an impurity, although furnace annealing was used, even if it uses rapid thermal annealing (RTA), the same effectiveness is done so. Furthermore, although boron was used in the semiconductor device of the 1st example of the above - the 3rd example as a p mold impurity contained to the source / drain field, this invention may use boron compounds, such as not only this but BF<sub>3</sub> and BF<sub>2</sub>, BF, and BCl.

[0076] Moreover, although nitrogen was used in the 1st above-mentioned example - the 3rd example as what prevents diffusion of boron, the same effectiveness can be acquired even if it uses a fluorine, an argon, oxygen, carbon, etc.

[0077] Drawing 35 is the sectional view having shown the semiconductor device (pnp mold bipolar transistor) by the 4th

example of this invention. With reference to drawing 35, the p type silicon collector 62 is formed on the main front face of the p type silicon substrate 61 by the bipolar transistor by this 4th example. In the predetermined field on the main front face of the p type silicon collector 62, it is SiO<sub>2</sub>. Film 65 and 68 is formed. SiO<sub>2</sub> n mold silicon base 63 is formed on the p type silicon collector 62 of the field surrounded by film 65 and 68. In the predetermined field on n mold silicon base 63, it is p+. The mold silicon epitaxial layer emitter 64 is formed.

[0078] Moreover, p+ It is SiO<sub>2</sub> so that it may cover the side-face part of the mold silicon epitaxial layer emitter 64, and on top [ a part of ]. Film 66 and 67 is formed. It is formed in the predetermined field on n mold silicon base 63 so that base electrodes 69 and 71 may connect with n mold silicon base 63 electrically. p+ In the predetermined field on the up front face of a mold silicon epitaxial layer emitter, it is p+. The emitter electrode 70 is formed so that it may connect with the mold silicon epitaxial layer emitter 64 electrically.

[0079] p+ by which boron was doped by the pnp mold bipolar transistor of this 4th example here In the mold silicon epitaxial layer emitter 4, nitrogen (N+) is  $3 \times 10^{19}$  pieces/cm. It is contained the grade. Thereby, it is p+ by heat treatment in the case of activation of an impurity. Boron can carry out thermal diffusion

toward n mold silicon base 63 from the mold silicon epitaxial layer emitter 64, and the inconvenience of running through n mold silicon base where thickness is thin can be prevented effectively. That is, nitrogen serves to control diffusion of boron. In addition, the content of nitrogen is  $3 \times 10^{19}$  pieces/cm. Although the effectiveness described above shows up notably, the diffusion depressor effect of the boron of extent which is also less than [ it ] is acquired.

[0080] In addition, the p type silicon collector 62 and n mold silicon base 63 may be formed using ion-implantation as the manufacture approach of the pnp type transistor of the 4th above-mentioned example, and may be formed with epitaxial growth. Boron is used as an impurity of p mold, using antimony (Sb) and arsenic (As) as an impurity of n mold. p+ The mold silicon epitaxial layer emitter 64 is formed with epitaxial growth, and in case [ that ] epitaxial growth is carried out, it dopes nitrogen with boron.

[0081] Drawing 36 is the sectional view having shown the npn mold bipolar transistor by the 5th example of this invention. It is an example of application about the npn mold bipolar transistor in which high-speed operation is possible in this 5th example with reference to drawing 3636. In this 5th example, n mold silicon collector 73 is formed on the main front face of n mold silicon

substrate 72. It is SiO<sub>2</sub> to the predetermined field on the main front face of n mold silicon collector 73. Film 65 and 68 is formed. SiO<sub>2</sub> On the main front face of n mold silicon collector 73 surrounded with film 65 and 68, the p mold SiGe epitaxial layer base 74 is formed. n mold epitaxial layer emitter 75 is formed in the predetermined field on the main front face of the p mold SiGe epitaxial layer base 74. It is SiO<sub>2</sub> so that a part of side face of n mold epitaxial layer emitter 75 and up front face may be covered. Film 66 and 67 is formed. On the up front face of n mold epitaxial layer emitter 75, it is formed so that the emitter electrode 70 may connect electrically. It is formed in the predetermined field on the p mold SiGe epitaxial layer base 74 so that base electrodes 69 and 71 may connect electrically.

[0082] Here, in the npn mold hetero-bipolar transistor of this 5th example, nitrogen (N+) is doped with boron all over the p mold SiGe epitaxial layer base 74. The thermal diffusion of boron is effectively prevented by this nitrogen. Thereby, boron is spread from the p mold SiGe epitaxial layer base 74, and effective base width of face can prevent effectively breadth and the inconvenience of as a result degrading cut-off frequency and a high-speed operation property.

[0083] In addition, although the 4th

above-mentioned example and the 5th above-mentioned example showed the example which applied this invention to the bipolar transistor, the manufacture approach by this invention which dopes boron and nitrogen simultaneously and prevents diffusion of boron in epitaxial growth is applicable to the device of all the silicon systems that have an epitaxial growth process.

[0084] Moreover, although the 4th example and the 5th example which were mentioned above are an example of application about an epitaxial growth phase (short-term few layer), they can expect the same effectiveness also in a polish recon layer or an amorphous silicon layer. That is, diffusion of boron can be effectively controlled by doping nitrogen simultaneously at the time of membrane formation of the amorphous silicon layer which dopes the polish recon layer which dopes boron, and boron.

[0085] Next, the 6th example of this invention is explained. In this 6th example, unlike the manufacture approach of the 1st above-mentioned example - the 5th example, when carrying out the ion implantation of the nitrogen, not the single ion ( $N^+$ ) of nitrogen but the molecular ion ( $N_2^+$ ) of nitrogen is used. The molecular ion ( $N_2^+$ ) of nitrogen is also twice the mass number of this while a nitrogen atomic number is twice the single ion ( $N^+$ ) of nitrogen. Therefore, the crystallinity of an

ion-implantation field is turbulence and a cone from impregnation according [ the direction of the impregnation by nitrogen content child ion ( $N_2^+$ ) even if it performs an ion implantation by the amount of the same charges and the same nitrogen atomic number ] to nitrogen single ion ( $N^+$ ). Therefore, if nitrogen content child ion ( $N_2^+$ ) is used, while being able to control more the channeling at the time of the ion implantation of a P type impurity compared with the case where nitrogen single ion ( $N^+$ ) is used, diffusion of the P type impurity at the time of heat treatment can be controlled more.

[0086] Drawing 37 is impurity profile drawing having shown the diffusion condition of the boron (B) when not performing the ion implantation of nitrogen, drawing 38 is impurity profile drawing having shown the diffusion condition of the boron (B) in the case of carrying out the ion implantation of the single ion ( $N^+$ ) of nitrogen, and drawing 39 is impurity profile drawing having shown the diffusion condition of the boron (B) in the case of carrying out the ion implantation of the molecular ion ( $N_2^+$ ) of nitrogen. In addition, the boron (B) shown in drawing 37  $R > 7 \cdot$  drawing 39 is the impregnation energy of 10keV(s), and  $5 \times 10^{15}/cm^2$  to a silicon substrate. The ion implantation was performed under the conditions of the amount of ion implantations. And it heat-treated about 30 minutes under 800-degree C

temperature conditions in nitrogen-gas-atmosphere mind. Moreover, the single ion (N+) of nitrogen is [ as opposed to / as shown in drawing 38 / a silicon substrate ]  $1 \times 10^{15}/\text{cm}^2$  at the impregnation energy of 30keV(s). The ion implantation was carried out under the conditions of the amount of ion implantations. Moreover, the molecular ion (N2+) of nitrogen is [ as opposed to / as shown in drawing 39 / a silicon substrate ]  $1 \times 10^{15}/\text{cm}^2$  at the impregnation energy of 60keV(s). The ion implantation was carried out under the conditions of the amount of ion implantations.

[0087] When nitrogen ion (N+ and N2+) is poured in with reference to drawing 37 - drawing 39 , it turns out that the diffusion depth of boron (B) is shallowly formed compared with the case where nitrogen ion is not poured in. Moreover, it turns out that the diffusion depth is shallow rather than the case where the direction which performed the ion implantation of the molecular ion (N2+) of nitrogen performs the ion implantation of the single ion (N+) of nitrogen with reference to drawing 38 and drawing 39 . That is, it turns out that it can prevent effectively that boron (B) is spread rather than the case where the direction which performed the ion implantation using the molecular ion (N2+) of nitrogen uses the single ion (N+) of nitrogen.

[0088] Moreover, when an ion

implantation is carried out using the molecular ion (N2+) of nitrogen, compared with the case where the single ion (N+) of nitrogen is used, dispersion in the resistance within a silicon wafer side can be decreased. If in other words the molecular ion (N2+) of nitrogen is used, compared with the case where the single ion (N+) of nitrogen is used, the homogeneity of the resistance within a silicon wafer side can be raised. The following results were obtained when the invention in this application person experimented actually. That is, it poured in under the same conditions as the ion-implantation conditions which showed the single ion (N+) of nitrogen to one silicon wafer at drawing 38 , and poured in on the same impregnation conditions as the impregnation conditions which showed the molecular ion (N2+) of nitrogen to the silicon wafer of another side at drawing 39 . And the homogeneity of the resistance of two silicon wafers was measured. Specifically, the following formulas were used.

[0089] Homogeneity of resistance = when calculated based on the formula of the average  $\times 100$  above of the standard deviation/resistance of resistance, when the single ion (N+) of nitrogen was used, it was homogeneous =12.997% of resistance, and when the molecular ion (N2+) of nitrogen was used, it was homogeneous =0.943% of resistance. The more the homogeneous value of this

resistance is small, the more it is shown that the homogeneity of resistance is improving. Therefore, in using the molecular ion ( $N_2^+$ ) of nitrogen, it turns out that the homogeneity of the resistance of a silicon wafer can be remarkably raised compared with the case where the single ion ( $N^+$ ) of nitrogen is used.

[0090]

[Effect of the Invention] As mentioned above, according to the semiconductor device given in claims 1 and 2, it can prevent effectively that the impurity is spread toward the interior of a semiconductor region in the case of heat treatment for activating the impurity in the source / drain field by the impregnation layer by forming the impregnation layer which has the junction depth of the source / drain field, and the depth more than equivalent along the whole region of the junction field of the source / drain field. Thereby, the impurity in the source / drain field can also prevent being spread in a channel field side by heat treatment, and the inconvenience that channel length becomes short can be prevented. Consequently, a punch-through phenomenon can be prevented effectively. Moreover, if it forms so that the source / drain field may be covered while having the larger depth than the junction depth of the source / drain field for the above-mentioned impregnation layer,

diffusion of the impurity in the source / drain field can be prevented more to validity.

[0091] According to the semiconductor device according to claim 3, it can control effectively that the impurity in a gate electrode is spread toward a gate insulating-layer side in the case of heat treatment for activating the impurity in a gate electrode by forming an impregnation layer near the front face by the side of the gate insulating layer of the gate electrode containing an impurity. Thereby, the impurity in a gate electrode can prevent passing through a gate insulating layer and being spread even to a channel field. Consequently, fluctuation of the threshold electrical potential difference by diffusion of the impurity to a channel field can be prevented.

[0092] An impregnation layer is formed by carrying out the ion implantation of the one chosen from the group which becomes the semiconductor region of the 1st conductivity type from nitrogen, a fluorine, an argon, oxygen, and carbon by the 1st projection range according to the manufacture approach of a semiconductor device according to claim 4. By forming one pair of impurity ranges of the 2nd conductivity type in the same semiconductor region by carrying out the ion implantation of the impurity of the 2nd conductivity type by the 2nd projection range smaller than the 1st projection range, the impurity range will



be in the condition of having been surrounded by the impregnation layer. When the postheat treatment is performed, while diffusing the impurity in an impurity range toward the interior of a semiconductor region by this, the nitrogen in an impregnation layer is diffused toward the front face of a semiconductor region. Consequently, an impurity and nitrogen will carry out counter diffusion and can control diffusion inside [ of an impurity ] a semiconductor region. Thereby, the diffusion by the side of the channel field of an impurity can also be controlled, and it can prevent that channel length becomes short. Consequently, the semiconductor device which can prevent a punch-through phenomenon effectively can be manufactured easily.

[0093] According to the manufacture approach of a semiconductor device according to claim 5, an impurity range is formed in a gate electrode by introducing an impurity into a gate electrode. By forming the impregnation layer which has the depth more than an impurity range and an EQC by carrying out the ion implantation of the one chosen from the group which becomes the gate electrode from nitrogen, a fluorine, an argon, oxygen, and carbon. When heat-treating after that, while diffusing the impurity in an impurity range toward a gate insulating layer, the nitrogen in an impregnation layer is diffused toward the

direction of reverse with a gate insulating layer. Thereby, an impurity and nitrogen will carry out counter diffusion and can control the diffusion by the side of the gate insulating layer of an impurity. Consequently, an impurity can prevent effectively passing through a gate insulating layer and being spread even to a channel field. Thereby, the semiconductor device which can prevent fluctuation of a threshold electrical potential difference can be manufactured easily. In addition, if the molecular ion ( $N_2^+$ ) of nitrogen is used as nitrogen ion when carrying out the ion implantation of the nitrogen in the above-mentioned manufacture approach of claims 4 and 5 according to invention according to claim 6, compared with the case where the single ion ( $N^+$ ) of nitrogen is used, diffusion of an impurity can be controlled further.

[0094] According to the bipolar transistor according to claim 7, it can prevent effectively that can prevent diffusion of boron effectively with nitrogen, consequently the high-speed operation property and cut-off frequency property of for example, a npn mold transistor deteriorate by constituting p mold epitaxial growth phase which constitutes a bipolar transistor so that boron and nitrogen may be included.

---

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is the sectional view having shown the semiconductor device containing the P channel MOS transistor by the 1st example of this invention.

[Drawing 2] It is a sectional view for explaining the 1st process of the manufacture process of the semiconductor device of the 1st example shown in drawing 1.

[Drawing 3] It is a sectional view for explaining the 2nd process of the manufacture process of the semiconductor device of the 1st example shown in drawing 1.

[Drawing 4] It is a sectional view for explaining the 3rd process of the manufacture process of the semiconductor device of the 1st example shown in drawing 1.

[Drawing 5] It is a sectional view for explaining the 4th process of the manufacture process of the semiconductor device of the 1st example shown in drawing 1.

[Drawing 6] It is a sectional view for explaining the 5th process of the manufacture process of the semiconductor device of the 1st example shown in drawing 1.

[Drawing 7] It is a sectional view for explaining the 6th process of the manufacture process of the

semiconductor device of the 1st example shown in drawing 1.

[Drawing 8] It is a sectional view for explaining the 7th process of the manufacture process of the semiconductor device of the 1st example shown in drawing 1.

[Drawing 9] It is a sectional view for explaining the 8th process of the manufacture process of the semiconductor device of the 1st example shown in drawing 1.

[Drawing 10] In the nitrogen impregnation process shown in drawing 7, it is the correlation diagram having shown the relation between the depth immediately after impregnation, and nitrogen concentration.

[Drawing 11] In the annealing (heat treatment) process shown in drawing 9, it is the correlation diagram having shown the relation between the depth after 800-degree-C annealing, and nitrogen concentration.

[Drawing 12] In the boron impregnation process shown in drawing 8, it is the correlation diagram having shown the relation between the depth immediately after impregnation, and boron concentration by the comparison with the former.

[Drawing 13] It is the correlation diagram having shown the relation between the depth after 800-degree-C annealing, and boron concentration by the comparison with the former in the

annealing (heat treatment) process shown in drawing 9.

[Drawing 14] It is the sectional view having shown the semiconductor device containing the P channel MOS transistor by the 2nd example of this invention.

[Drawing 15] It is a sectional view for explaining the 1st process of the manufacture process of the semiconductor device of the 2nd example shown in drawing 14.

[Drawing 16] It is a sectional view for explaining the 2nd process of the manufacture process of the semiconductor device of the 2nd example shown in drawing 14.

[Drawing 17] It is a sectional view for explaining the 3rd process of the manufacture process of the semiconductor device of the 2nd example shown in drawing 14.

[Drawing 18] It is a sectional view for explaining the 4th process of the manufacture process of the semiconductor device of the 2nd example shown in drawing 14.

[Drawing 19] In the impregnation process of the nitrogen and boron which were shown in drawing 16 and drawing 17, it is the correlation diagram having shown the relation between the depth from the gate electrode surface after annealing, boron concentration, and nitrogen concentration.

[Drawing 20] In the annealing (heat treatment) process shown in drawing 18,

it is the correlation diagram having shown the relation between the depth from a gate electrode surface, boron concentration, and nitrogen concentration.

[Drawing 21] In the semiconductor device of the 2nd example shown in drawing 14, it is a sectional view for explaining the 1st process of a manufacture process in case a gate electrode is formed of a doped polysilicon.

[Drawing 22] In the semiconductor device of the 2nd example shown in drawing 14, it is a sectional view for explaining the 2nd process of a manufacture process in case a gate electrode is formed of a doped polysilicon.

[Drawing 23] In the semiconductor device of the 2nd example shown in drawing 14, it is a sectional view for explaining the 3rd process of a manufacture process in case a gate electrode is formed of a doped polysilicon.

[Drawing 24] It is the sectional view having shown the semiconductor device containing the CMOS transistor by the 3rd example of this invention.

[Drawing 25] It is a sectional view for explaining the 1st process of the manufacture process of the semiconductor device of the 3rd example shown in drawing 24.

[Drawing 26] It is a sectional view for explaining the 2nd process of the manufacture process of the semiconductor device of the 3rd example

shown in drawing 24 .

[Drawing 27] It is a sectional view for explaining the 3rd process of the manufacture process of the semiconductor device of the 3rd example shown in drawing 24 .

[Drawing 28] It is a sectional view for explaining the 4th process of the manufacture process of the semiconductor device of the 3rd example shown in drawing 24 .

[Drawing 29] It is a sectional view for explaining the 5th process of the manufacture process of the semiconductor device of the 3rd example shown in drawing 24 .

[Drawing 30] It is a sectional view for explaining the 6th process of the manufacture process of the semiconductor device of the 3rd example shown in drawing 24 .

[Drawing 31] It is a sectional view for explaining the 7th process of the manufacture process of the semiconductor device of the 3rd example shown in drawing 24 .

[Drawing 32] It is a sectional view for explaining the 8th process of the manufacture process of the semiconductor device of the 3rd example shown in drawing 24 .

[Drawing 33] It is a sectional view for explaining the 9th process of the manufacture process of the semiconductor device of the 3rd example shown in drawing 24 .

[Drawing 34] It is a sectional view for explaining the 10th process of the manufacture process of the semiconductor device of the 3rd example shown in drawing 24 .

[Drawing 35] It is the sectional view having shown the pnp mold bipolar transistor by the 4th example of this invention.

[Drawing 36] It is the sectional view having shown the npn mold bipolar transistor by the 5th example of this invention.

[Drawing 37] It is impurity profile drawing having shown the diffusion condition of the boron (B) when not pouring in nitrogen ion.

[Drawing 38] It is impurity profile drawing having shown the diffusion condition of the boron (B) in the case of pouring in the single ion (N+) of nitrogen.

[Drawing 39] It is impurity profile drawing having shown the diffusion condition of the boron (B) in the case of pouring in the molecular ion (N2+) of nitrogen.

[Drawing 40] It is the sectional view having shown the semiconductor device containing the conventional PMOS transistor.

[Drawing 41] It is a sectional view for explaining the 1st process of the manufacture process of the conventional semiconductor device shown in drawing 40 .

[Drawing 42] It is a sectional view for

explaining the 2nd process of the manufacture process of the conventional semiconductor device shown in drawing 40.

[Drawing 43] It is a sectional view for explaining the 3rd process of the manufacture process of the conventional semiconductor device shown in drawing 40.

[Drawing 44] It is a sectional view for explaining the 4th process of the manufacture process of the conventional semiconductor device shown in drawing 40.

[Drawing 45] It is a sectional view for explaining the 5th process of the manufacture process of the conventional semiconductor device shown in drawing 40.

[Drawing 46] It is a sectional view for explaining the 6th process of the manufacture process of the conventional semiconductor device shown in drawing 40.

[Drawing 47] It is a sectional view for explaining the trouble of the conventional semiconductor device.

[Description of Notations]

1 A silicon substrate, 2 A separation oxide film, 3 Gate oxide, 4 A gate electrode, 5 sidewall oxide film, 6a, 6b The source / drain field, 7a, 7b A nitrogen impregnation field, 15 A nitrogen impregnation field, 16 Boron impregnation field. In addition, the same sign shows the same or a considerable

part among each drawing.

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-78674

(43)公開日 平成8年(1996)3月22日

(51)Int.Cl.<sup>8</sup>

H 0 1 L 29/78

21/265

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/ 78

3 0 1 S

21/ 265

Z

H 0 1 L 21/ 265

P

審査請求 未請求 請求項の数7 O L (全 18 頁) 最終頁に続く

(21)出願番号 特願平6-200957

(22)出願日 平成6年(1994)8月25日

(31)優先権主張番号 特願平5-229394

(32)優先日 平5(1993)9月16日

(33)優先権主張国 日本(J P)

(31)優先権主張番号 特願平6-149476

(32)優先日 平6(1994)6月30日

(33)優先権主張国 日本(J P)

特許法第30条第1項適用申請有り 1993年3月29日、社団法人応用物理学会発行の「1993年(平成5年)春季第40回応用物理学関係連合講演会予稿集No. 2」に発表

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 川崎 洋司

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社ユー・エル・エス・アイ開発研究所内

(72)発明者 高橋 武人

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社ユー・エル・エス・アイ開発研究所内

(74)代理人 弁理士 深見 久郎 (外3名)

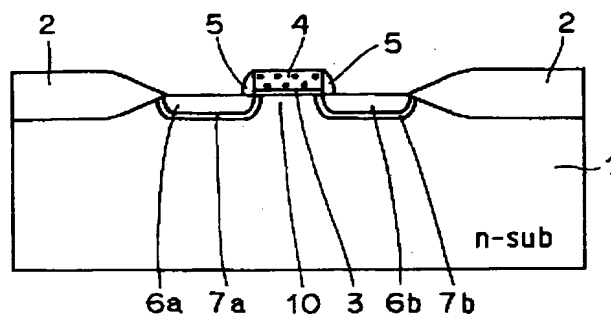
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法ならびにパイポーラトランジスタ

(57)【要約】

【目的】 不純物の電気的活性化のための熱処理によって不純物が拡散するのを有効に抑制し得る半導体装置およびその製造方法を提供する。

【構成】 p型のソース/ドレイン領域6aおよび6bの接合深さと同等以上の深さを有する窒素注入領域7aおよび7bをソース/ドレイン領域6aおよび6bの接合領域の全域に沿って形成する。



1: シリコン基板

3: ゲート酸化膜

5: サイドウォール酸化膜

7a, 7b: 窒素注入領域

2: 分離酸化膜

4: ゲート電極

6a, 6b: ソース/ドレイン領域

(2)

1

## 【特許請求の範囲】

【請求項1】 主表面を有する第1導電型の半導体領域と、

前記半導体領域の主表面上にチャネル領域を挟むように所定の間隔を隔てて形成された所定の接合深さを有する第2導電型の1対のソース／ドレイン領域と、  
前記ソース／ドレイン領域の接合深さと同等以上の深さを有し、前記ソース／ドレイン領域の接合領域の全域に沿って形成され、窒素、フッ素、アルゴン、酸素、炭素からなる群より選ばれた1つを含む注入層と、  
前記チャネル領域上にゲート絶縁層を介して形成されたゲート電極とを備えた、半導体装置。

【請求項2】 前記注入層は、前記ソース／ドレイン領域の接合深さよりも大きい深さを有するとともに前記ソース／ドレイン領域を覆うように形成されている、請求項1に記載の半導体装置。

【請求項3】 主表面を有する第1導電型の半導体領域と、

前記半導体領域の主表面上にチャネル領域を挟むように所定の間隔を隔てて形成された第2導電型の1対のソース／ドレイン領域と、

前記チャネル領域上にゲート絶縁層を介して形成されたゲート電極とを備え、

前記ゲート電極は不純物を含み、

前記ゲート電極の前記ゲート絶縁層側の表面近傍には、窒素、フッ素、アルゴン、酸素、炭素からなる群より選ばれた1つを含む注入層が形成されている、半導体装置。

【請求項4】 第1導電型の半導体領域の主表面上の所定領域にゲート絶縁層を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記半導体領域に窒素、フッ素、アルゴン、酸素、炭素からなる群より選ばれた1つを第1の投影飛程でイオン注入することによって注入層を形成する工程と、

前記ゲート電極をマスクとして前記半導体領域に第2導電型の不純物を前記第1の投影飛程よりも小さい第2の投影飛程でイオン注入することによって第2導電型の1対の不純物領域を形成する工程と、

その後、熱処理を施す工程とを備えた、半導体装置の製造方法。

【請求項5】 第1導電型の半導体領域の主表面上の所定領域にゲート絶縁層を介してゲート電極を形成する工程と、

前記ゲート電極に不純物を導入することによって前記ゲート電極内に前記ゲート電極の上部表面から所定の深さを有する不純物領域を形成する工程と、

前記ゲート電極に窒素、フッ素、アルゴン、酸素、炭素からなる群より選ばれた1つをイオン注入することによって前記不純物領域と同等以上の深さを有する注入層を

2

形成する工程と、

その後、熱処理を施す工程とを備えた、半導体装置の製造方法。

【請求項6】 前記イオン注入される窒素は、窒素の単一イオン ( $N^+$ ) および窒素の分子イオン ( $N_2^+$ ) からなる群より選ばれたうちの1つを含む、請求項4または5のいずれかに記載の半導体装置の製造方法。

【請求項7】 ボロンと窒素とを含むP型エピタキシャル成長層を備えることを特徴とする、バイポーラトランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、半導体装置およびその製造方法に関し、より特定的には、MOS (Metal-Oxide-Semiconductor) トランジスタを有する半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】 従来、半導体装置の1つとして、PチャネルMOSトランジスタを含む半導体装置が知られている。図40は、従来のPチャネルMOSトランジスタを含む半導体装置を示した断面図である。図40を参照して、従来の半導体装置では、n型のシリコン基板101の主表面上の所定領域に素子分離のための分離酸化膜102が形成されている。分離酸化膜102によって囲まれた活性領域上にはチャネル領域110を挟むように所定の間隔を隔ててp型のソース／ドレイン領域106aおよび106bが形成されている。チャネル領域110上にはゲート酸化膜103を介してゲート電極104が形成されている。ゲート電極104の両側壁部分にはサイドウォール酸化膜105が形成されている。

【0003】 p型のソース／ドレイン領域106a、106bと、ゲート酸化膜103とゲート電極104とによってPチャネルMOSトランジスタが形成されている。ゲート電極104はたとえばボロン (B) などのp型の不純物を含むポリシリコンからなり、2000Å程度の厚みを有している。

【0004】 図41～図46は、図40に示した従来の半導体装置の製造方法を説明するための断面図である。図40～図46を参照して、次に従来の半導体装置の製造プロセスについて説明する。

【0005】 まず、図41に示すように、n型のシリコン基板101の主表面上の所定領域にLOCOS (LOC: Local Oxidation of Silicon) 法を用いて分離酸化膜102を形成する。全面にシリコン酸化膜 (図示せず) および2000Å程度の厚みを有するノンドープトポリシリコン膜 (図示せず) を形成した後パターニングすることによって、シリコン酸化膜からなるゲート酸化膜103とノンドープトポリシリコン膜からなるゲート電極104を形成する。

【0006】 次に、図42に示すように、ゲート電極1

(3)

3

04以外の領域を覆うように写真製版技術を用いてレジスト111を形成する。レジスト111をマスクとしてボロンをゲート電極104にイオン注入する。この後レジスト111を除去する。次に、図43に示すように、ゲート電極104にイオン注入された不純物（ボロン）を活性化するために、800℃～1000℃で30分程度熱処理を行なう。

【0007】次に、図44に示すように、全面にシリコン酸化膜（図示せず）を形成した後異方性エッチングを行なうことによって、ゲート電極104の両側壁部分にサイドウォール酸化膜105を形成する。

【0008】次に、図45に示すように、写真製版技術を用いてゲート電極104上にレジスト112を形成する。この後、図46に示すように、レジスト112、サイドウォール酸化膜105および分離酸化膜102をマスクとしてシリコン基板101にたとえばボロンなどのp型の不純物をイオン注入する。これにより、p型のイオン注入領域107aおよび107bが形成される。

【0009】この後、レジスト112を除去する。そして、800℃で30分程度、熱処理を施すことによってイオン注入領域107aおよび107bに導入されたボロンを電気的に活性化する。これにより、図40に示したような不純物拡散領域（ソース／ドレイン領域）106aおよび106bが形成される。このようにして、従来のPチャンネルMOSトランジスタを有する半導体装置は形成されていた。

【0010】

【発明が解決しようとする課題】上記した従来の半導体装置では、図46に示したp型の不純物注入領域107aおよび107bに導入された不純物を活性化する際の熱処理によって、不純物の再分布が起こるという不都合が生じる。すなわち、熱処理によってp型の不純物注入領域107aおよび107bに導入された不純物がシリコン基板101の内部のあらゆる方向に拡散する。この結果、p型の不純物注入領域107aおよび107b（図46参照）よりも広いp型の不純物拡散領域（ソース／ドレイン領域）106aおよび106b（図40参照）が形成される。

【0011】図47は、従来の半導体装置の問題点を説明するための断面図である。図47を参照して、熱処理による不純物の拡散によってp型のソース／ドレイン領域106aおよび106bの大きさが大きくなると、チャンネル長Lが短くなる。これにより、たとえばソース／ドレイン領域106aおよび106bの一方の領域付近の空乏層が他方の領域にまで広がり、ゲート電圧によって電流を制御できなくなるいわゆるパンチスルー現象が発生するという問題点があった。このパンチスルー現象は、素子の微細化に伴って特に顕著に現われる。

【0012】また、別な問題点として、ゲート電極104内のp型不純物を活性化する際の熱処理によってゲ

4

ト電極104内のp型不純物（ボロン）がゲート酸化膜103を通り抜けてチャンネル領域110にまで拡散してしまうという問題点もあった。チャンネル領域110にゲート電極104内のp型不純物が拡散すると、MOSトランジスタのしきい値電圧が変動してしまうという問題点があった。

【0013】また、バイポーラトランジスタにおいても、上記したと同様の問題点が生じる。すなわち、バイポーラトランジスタを構成するp型エピタキシャル層のp型不純物としてボロンが用いられている。この場合、ボロンは、熱処理時に熱拡散しやすい。このようにボロンが熱拡散すると、たとえばnpn型バイポーラトランジスタにおいては、ボロンの拡散によって実効ベース幅が広がり、その結果遮断周波数や高速動作特性を劣化させるという問題点が生じる。

【0014】この発明は、上記のような課題を解決するためになされたもので、請求項1および2に記載の発明の目的は、半導体装置において、パンチスルー現象を有効に防止することである。

20 【0015】請求項3に記載の発明の目的は、半導体装置において、ゲート電極内の不純物がチャンネル領域へ拡散することによって生じるしきい値電圧の変動を有効に防止することである。

【0016】請求項4および6に記載の発明の目的は、半導体装置の製造方法において、ソース／ドレイン領域を形成する際の熱処理によって不純物が拡散するのを有効に抑制することである。

【0017】請求項5および6に記載の発明の目的は、半導体装置の製造方法において、ゲート電極内の不純物が活性化のための熱処理によってチャンネル領域内に拡散するのを有効に防止することである。

【0018】請求項7に記載の発明の目的は、バイポーラトランジスタにおいて、ボロン拡散による特性の劣化を有効に防止することである。

【0019】

【課題を解決するための手段】請求項1および2における半導体装置は、主表面を有する第1導電型の半導体領域と、その半導体領域の主表面上にチャンネル領域を挟むように所定の間隔を隔てて形成された所定の接合深さを有する第2導電型の1対のソース／ドレイン領域と、そのソース／ドレイン領域の接合深さと同等以上の深さを有しソース／ドレイン領域の接合領域の全域に沿って形成され、窒素、フッ素、アルゴン、酸素、炭素からなる群より選ばれた1つを含む注入層と、チャンネル領域上にゲート絶縁層を介して形成されたゲート電極とを備えている。なお、好ましくは、上記した注入層は、ソース／ドレイン領域の接合深さよりも大きい深さを有するとともにソース／ドレイン領域を覆うように形成されている。

50 【0020】請求項3における半導体装置は、主表面を



(4)

5

有する第1導電型の半導体領域と、その半導体領域の主表面上にチャンネル領域を挟むように所定の間隔を隔てて形成された第2導電型の1対のソース/ドレイン領域と、そのチャンネル領域上にゲート絶縁層を介して形成されたゲート電極とを備えている。そしてそのゲート電極は、不純物を含んでいるとともに、ゲート電極のゲート絶縁層側の表面近傍には、窒素、フッ素、アルゴン、酸素、炭素からなる群より選ばれた1つを含む注入層が形成されている。

【0021】請求項4における半導体装置の製造方法は、第1導電型の半導体領域の主表面上の所定領域にゲート絶縁層を介してゲート電極を形成する工程と、そのゲート電極をマスクとして半導体領域に窒素、フッ素、アルゴン、酸素、炭素からなる群より選ばれた1つを第1の投影飛程でイオン注入することによって注入層を形成する工程と、ゲート電極をマスクとして半導体領域に第2導電型の不純物を上記した第1の投影飛程よりも小さい第2の投影飛程でイオン注入することによって第2導電型の1対の不純物領域を形成する工程と、その後熱処理を施す工程とを備えている。

【0022】請求項5における半導体装置の製造方法は、第1導電型の半導体領域の主表面上の所定領域にゲート絶縁層を介してゲート電極を形成する工程と、そのゲート電極に不純物を導入することによってゲート電極内にゲート電極の上部表面から所定の深さを有する不純物領域を形成する工程と、ゲート電極に窒素、フッ素、アルゴン、酸素、炭素からなる群より選ばれた1つをイオン注入することによって上記した不純物領域と同等以上の深さを有する注入層を形成する工程と、その後熱処理を施す工程とを備えている。なお、上記した請求項4および5における半導体装置の製造方法において、窒素をイオン注入する場合に、窒素の単一イオン( $N^+$ )または窒素の分子イオン( $N_2^+$ )のいずれかを用いるようにしてもよい。

【0023】請求項7におけるバイポーラトランジスタは、ボロンと窒素とを含むp型エピタキシャル成長層を備えることを特徴とする。

【0024】

【作用】請求項1および2に係る半導体装置では、ソース/ドレイン領域の接合深さと同等以上の深さを有する注入層がソース/ドレイン領域の接合領域の全域に沿って形成されているので、ソース/ドレイン領域の形成時の熱処理によって不純物が拡散するのが有効に防止される。これにより、従来のように不純物の拡散によってチャンネル長が短くなるのが防止され、その結果パンチスルー現象が有効に低減される。なお、上記した注入層をソース/ドレイン領域の接合深さよりも大きい深さを有するとともにソース/ドレイン領域を覆うように形成すれば、ソース/ドレイン領域の形成時の熱処理による不純物の拡散がより抑制される。

6

【0025】請求項3に係る半導体装置では、不純物を含むゲート電極のゲート絶縁層側の表面近傍に注入層が形成されているので、ゲート電極内の不純物を活性化する際の熱処理によってゲート電極内の不純物がゲート絶縁層を通り抜けてチャンネル領域にまで拡散するのが有効に防止される。これにより、チャンネル領域への不純物の拡散によるしきい値電圧の変動が防止される。

【0026】請求項4に係る半導体装置の製造方法では、第1導電型の半導体領域に窒素、フッ素、アルゴン、酸素、炭素からなる群より選ばれた1つが第1の投影飛程でイオン注入されることによって注入層が形成され、また半導体領域に第2導電型の不純物が第1の投影飛程よりも小さい第2の投影飛程でイオン注入されることによって第1導電型の1対の不純物領域が形成され、その後熱処理が施されるので、その熱処理の際に上記した注入層によって不純物領域の不純物が拡散するのが有効に抑制される。これにより、従来のようにチャンネル長が短くなるのが防止され、その結果パンチスルー現象が有効に低減される。

【0027】請求項5に係る半導体装置の製造方法では、所定の深さを有する不純物領域を含むゲート電極に窒素、フッ素、アルゴン、酸素、炭素からなる群より選ばれて1つをイオン注入することによってその不純物領域と同等以上の深さを有する注入層が形成され、その後熱処理が施されるので、注入層によって不純物領域の不純物がゲート絶縁層側に拡散してチャンネル領域に侵入するのが防止される。これにより、しきい値電圧の変動が防止される。なお、上記した請求項4および5の半導体装置の製造方法において窒素をイオン注入する場合にたとえば窒素の分子イオン( $N_2^+$ )を用いれば、窒素の単一イオン( $N^+$ )を用いる場合に比べてより不純物の拡散が抑制される。すなわち、窒素の分子イオン( $N_2^+$ )は窒素の単一イオン( $N^+$ )に比べて窒素原子数が2倍であるとともに質量数が2倍であるため、窒素の分子イオン( $N_2^+$ )が注入される領域の結晶性がより乱れやすくなる。これにより、不純物のイオン注入時のチャネリング現象がより抑制されるとともに熱処理時に不純物が拡散するのもより抑制される。

【0028】請求項7に係るバイポーラトランジスタでは、p型エピタキシャル成長層がボロンと窒素とを含んでいるので、その窒素によってボロンの拡散が有効に防止される。

【0029】

【実施例】以下、本発明の実施例を図面に基づいて説明する。

【0030】図1は、本発明の第1実施例によるPチャンネルMOSトランジスタを有する半導体装置を示した断面図である。図1を参照して、この第1実施例による半導体装置では、n型のシリコン基板1の主表面上の所定領域に分離酸化膜2が形成されている。分離酸化膜2に

(5)

7

よって囲まれたシリコン基板1の主表面上には、チャネル領域10を挟むように所定の間隔を隔ててソース／ドレイン領域6aおよび6bが形成されている。チャネル領域10上には、500～2000Åの厚みを有するゲート酸化膜3を介して、不純物を含むポリシリコン膜からなるゲート電極4が形成されている。ゲート電極4の両側壁部分にはサイドウォール酸化膜5が形成されている。

【0031】ここで、この第1実施例では、ソース／ドレイン領域6aおよび6bの接合領域を覆うようにそれぞれ窒素注入領域7aおよび7bが形成されている。この窒素注入領域7aおよび7bによって、ソース／ドレイン領域6aおよび6bの形成時の熱処理工程の際に不純物がシリコン基板1の主表面に対して垂直方向および水平方向に拡散するのを有効に防止することができる。これにより、図41に示した従来の半導体装置のように不純物の水平方向の拡散によってチャネル長が短くなるという不都合も生じない。この結果、パンチスルー現象を有効に防止することができる。

【0032】図2～図8は、図1に示した第1実施例の半導体装置の製造プロセスを説明するための断面図である。図1～図8を参照して、次に第1実施例の半導体装置の製造プロセスについて説明する。

【0033】まず、図2に示すように、n型のシリコン基板1の主表面上の所定領域にLOCOS法を用いて分離酸化膜2を形成する。全面にシリコン酸化膜（図示せず）および2000Å程度の厚みを有するノンドープトポリシリコン膜（図示せず）を形成した後パターニングすることによって、シリコン酸化膜からなるゲート酸化膜3とノンドープトポリシリコン膜からなるゲート電極4を形成する。

【0034】次に、図3に示すように、ゲート電極4以外の領域を覆うように写真製版技術を用いてレジスト11を形成する。レジスト11をマスクとしてゲート電極4にボロン（B）をイオン注入する。この後、レジスト11を除去する。そして、図4に示すように、800～900℃程度の温度条件下で30分間熱処理を行なうことによってゲート電極4に注入された不純物（ボロン）を活性化させる。

【0035】次に、全面にシリコン酸化膜（図示せず）を形成した後異方性エッチングすることによって、図5に示すように、ゲート電極4の両側壁部分にサイドウォール酸化膜5を形成する。

【0036】次に、図6に示すように、写真製版技術を用いてゲート電極4上にレジスト12を形成する。この後、図7に示すように、レジスト12、サイドウォール酸化膜5および分離酸化膜2をマスクとして窒素

(N<sup>+</sup>)をシリコン基板1にイオン注入する。このイオン注入の条件は、濃度が $1 \times 10^{15} \sim 1 \times 10^{16}$ 個/cm<sup>2</sup>、注入エネルギーが後工程で注入されるボロンの投

8

影飛程（＝10KeVで0.032μm）よりも大きい値（＝30KeVで0.065μm）に設定される。上記のような注入条件でイオン注入を行なうことによって、窒素注入領域7aおよび7bが形成される。なお、この窒素注入領域7aおよび7bの形成のためのイオン注入は、サイドウォール酸化膜5を形成する前に行なってもよい。

【0037】次に、図8に示すように、レジスト12、サイドウォール酸化膜5および分離酸化膜2をマスクとしてボロンをシリコン基板1にイオン注入する。このイオン注入は、注入エネルギーが10KeVで0.032μmの投影飛程、不純物濃度が $5 \times 10^{15}$ 個/cm<sup>2</sup>の条件下で行なう。これにより、不純物注入領域8aおよび8bが形成される。この不純物注入領域8aおよび8bは、窒素注入領域7aおよび7bによって囲まれた状態となる。この後、レジストを除去する。

【0038】次に、図9に示すように、不純物注入領域8aおよび8b内のボロンを電気的に活性化するための炉アニールにより800℃の温度条件下で窒素雰囲気中で30分間熱処理を行なう。この熱処理によって、不純物注入領域8aおよび8b内のボロンはシリコン基板1の内部に向かって拡散するが、窒素注入領域7a内の窒素はシリコン基板1の表面に向かって拡散する。この窒素のシリコン基板1表面への拡散によって、ボロンのシリコン基板1の内部への拡散が抑制される。すなわち、窒素をボロンと相互拡散させることによってボロンのシリコン基板1内部への拡散を抑制することができる。これにより、シリコン基板1の主表面に沿った方向のボロンの拡散も抑制されるので、従来のようにチャネル長が短くなるのを有効に防止することができる。この結果、パンチスルー現象を低減することができる。

【0039】図10は窒素イオン注入直後の窒素濃度と基板表面からの深さとの関係を示した相関図であり、図11は800℃アニール後の窒素濃度と基板表面からの深さとの関係を示した相関図である。また、図12はボロンイオンの注入直後のボロン濃度と基板表面からの深さとの関係を従来との比較で示した相関図であり、図13は800℃アニール後のボロン濃度と基板表面からの深さとの関係を従来との比較で示した相関図である。

【0040】まず、図10および図11を参照して、窒素注入量を $1 \times 10^{15} / \text{cm}^2$ 、 $1 \times 10^{16} / \text{cm}^2$ に設定した場合にはいずれも、800℃アニール後では注入直後よりも窒素濃度の低い部分の基板表面からの拡散深さが浅くなっていることがわかる。すなわち、アニールによって窒素が基板表面に向かって拡散していることがわかる。また、ボロン濃度に関しては、図12および図13に示すように、従来の窒素注入がなかった場合には、注入直後に比べてアニール後では著しく拡散深さが深くなっているのがわかる。その一方、窒素注入が行なわれている場合には注入直後とアニール後でボロン濃度の分

(6)

9

布はほとんど変化せず、再分布がほとんど見られないことがわかる。すなわち、窒素注入を行なうことによって熱処理によるボロンの基板内部への拡散を抑制できることがわかる。ただし、図10および図12から明らかにように、イオン注入の段階で窒素をボロンよりも深く注入する必要があることがわかる。

【0041】上記のように、深さの深い窒素注入領域7aおよび7bを形成するとともにそれよりも深さの浅い不純物注入領域8aおよび8b（図8参照）を形成した後熱処理を行えば、不純物の基板内部への拡散が抑制される。これにより、図1に示したような広がり少ないソース／ドレイン領域6aおよび6bを形成することができる。

【0042】図14は、本発明の第2実施例によるPチャネルMOSトランジスタを含む半導体装置を示した断面図である。図14を参照して、この第2実施例では、上述した第1実施例と同様に、ソース／ドレイン領域6aおよび6bを覆うように窒素注入領域7aおよび7bが形成されている。さらに、この第2実施例では、第1実施例と異なり、ゲート電極14のゲート酸化膜3側の表面に窒素注入領域15が形成されている。そして、ゲート電極14内の窒素注入領域15上にはボロン注入領域16が形成されている。

【0043】窒素注入領域15によって、ボロン注入領域16内のボロンを活性化するための熱処理の際にボロンがゲート酸化膜3を通過してチャネル領域10に拡散していくのを有効に防止することができる。これにより、チャネル領域10への不純物の拡散によって生じるしきい値電圧の変動を有効に防止することができる。

【0044】図15～図18は、図14に示した第2実施例の半導体装置のゲート電極部分の製造プロセスを説明するための断面図である。図15～図18を参照して、次に第2実施例の半導体装置の製造プロセスについて説明する。

【0045】まず、図15に示すように、シリコン基板1の主表面上の所定領域にLOCOS法を用いて分離酸化膜2を形成する。全面を覆うように500～2000Å程度の厚みを有するシリコン酸化膜（図示せず）および2000Å程度の厚みを有するノンドープトポリシリコン膜（図示せず）を形成した後パターンニングすることによって、シリコン酸化膜からなるゲート酸化膜3とノンドープトポリシリコン膜からなるゲート電極14を形成する。ゲート電極14以外の部分を覆うように写真製版技術を用いてレジスト17を形成する。

【0046】次に、図16に示すように、レジスト17をマスクとしてゲート電極14に窒素（N<sup>+</sup>）をイオン注入する。この窒素のイオン注入は、1E15～1E16個/cm<sup>2</sup>の濃度で、窒素イオンがゲート電極14のゲート酸化膜3側の表面近傍にまで注入される注入エネルギー（たとえば90KeV）で行なう。これにより、

10

イオン注入領域15が形成される。

【0047】次に、図17に示すように、レジスト17をマスクとしてゲート電極14にボロンを5E15個/cm<sup>2</sup>の濃度で、その深さが窒素注入領域15よりも浅くなるような注入エネルギー（たとえば30KeV）でイオン注入する。これにより、ボロン注入領域16が形成される。この後、レジスト17を除去する。

【0048】ボロン注入領域16内のボロンを電氣的に活性化するため800℃～1000℃の炉アニールによる熱処理を行なう。この熱処理によって、ボロン注入領域16内のボロンはゲート酸化膜3の方向に向かって拡散するとともに窒素注入領域15内の窒素は上方に向かって拡散する。このボロンと窒素との相互拡散によってボロンのゲート酸化膜3方向への拡散が従来に比べて抑制される。そして、最終的に図18に示すように、ボロン注入領域16とゲート酸化膜3の間に窒素注入領域15が介在するような構造となる。

【0049】図19はイオン注入直後のゲート電極表面からの深さとボロン濃度および窒素濃度との関係を示した相関図であり、図20はアニール後（熱処理後）のゲート電極表面からの深さとボロン濃度および窒素濃度との関係を示した相関図である。図19および図20を参照して、アニール後では注入直後に比べてボロン濃度分布の低濃度の部分が少しゲート酸化膜3側に移動していることがわかる。その一方、アニール後では注入直後に比べて窒素濃度分布の高濃度の部分がゲート酸化膜3とは反対側に少し移動していることがわかる。これは、ボロンと窒素とが相互拡散していることを表わしている。そしてこのようなボロンと窒素との相互拡散によってボロンのゲート酸化膜3方向への拡散が抑制されている。図20に示すように、アニール後では、ゲート酸化膜3の近傍には窒素のみが存在していることがわかる。このような状態を断面で表わすと図18に示すような断面形状となる。

【0050】上記のようにして、不純物を含むゲート電極14を形成した後、図5～図9に示した第1実施例と同様の製造プロセスを用いて、図14に示したサイドウォール酸化膜5と、ソース／ドレイン領域6aおよび6bと、窒素注入領域7aおよび7bとを形成する。このようにして、第2実施例の半導体装置が完成される。

【0051】図21～図23は、上記した第2実施例の半導体装置のゲート電極をドープトポリシリコン膜によって形成した場合の製造プロセスを説明するための断面図である。図21～図23を参照して、ゲート電極としてドープトポリシリコンを用いた場合の製造プロセスについて説明する。

【0052】まず、図21に示すように、シリコン基板1の主表面上の所定領域にシリコン酸化膜からなるゲート酸化膜3とドープトポリシリコンからなるゲート電極24を形成する。ゲート電極24以外の部分を覆うよう

(7)

11

にレジスト26を形成する。

【0053】次に、図22に示すように、レジスト26をマスクとしてゲート電極24に窒素( $N^+$ )をイオン注入する。この窒素の注入条件は、たとえば $1E15 \sim 1E16$ 個/cm<sup>2</sup>の不純物濃度で、窒素がゲート酸化膜3近傍にまで注入されるような注入エネルギー(90 KeV)で行なう。これにより、窒素注入領域25が形成される。この後、レジスト26を除去する。そして、ゲート電極24内にドーパされた不純物を活性化するため、800~1000℃の温度条件下で炉アニールにより熱処理を行なう。この熱処理によって、ゲート電極24内の不純物はゲート酸化膜3の方向に向かって拡散するとともに窒素注入領域25の窒素はゲート酸化膜3とは逆の方向に向かって拡散する。これにより、不純物と窒素とが相互拡散することになり、不純物のゲート酸化膜3への拡散が抑制される。この結果、ゲート電極24内の不純物がゲート酸化膜3を通り抜けてチャンネル領域にまで拡散していくのが防止される。これにより、ゲート電極24としてドーパトポリシリコン膜を用いる場合にもチャンネル領域への不純物の拡散によって生じるしきい値電圧の変動を極力防止することができる。なお、上記した熱処理後には図23に示したように、窒素注入領域25内に不純物が幾分含まれた状態となる。

【0054】図24は、本発明の第3実施例によるCMOSトランジスタを含む半導体装置を示した断面図である。図24を参照して、この第3実施例では、シリコン基板31の主表面上の所定領域に分離酸化膜32が形成されている。また、シリコン基板31の主表面上にはNウェル33とPウェル34とが隣接するように形成されている。

【0055】Nウェル33の主表面上にはチャンネル領域51を挟むように所定の間隔を隔ててソース/ドレイン領域40aおよび40bが形成されている。ソース/ドレイン領域40aおよび40bをそれぞれ覆うように窒素注入領域41aおよび41bが形成されている。チャンネル領域51上にはゲート酸化膜35aを介してゲート電極36aが形成されている。ゲート電極36a内のゲート酸化膜35a側には窒素注入領域38aが形成されている。その窒素注入領域38a上にはボロン注入領域37aが形成されている。ゲート電極36aの側壁部分にはサイドウォール酸化膜39aが形成されている。

【0056】Pウェル34の主表面上にはチャンネル領域52を挟むように所定の間隔を隔てて $n^+$ ソース/ドレイン領域43aおよび43bが形成されている。 $n^+$ ソース/ドレイン領域43aおよび43bのチャンネル領域52側には、それぞれ $n^-$ ソース/ドレイン領域42aおよび42bが形成されている。チャンネル領域52上にはゲート酸化膜35bを介してゲート電極36bが形成されている。ゲート電極36b内のゲート酸化膜35b側には窒素注入領域38bが形成されており、窒素注入

12

領域38b上にはボロン注入領域37bが形成されている。ゲート電極36bの両側壁部分にはサイドウォール酸化膜39bが形成されている。

【0057】Nウェル33内のソース/ドレイン領域40a、40bとゲート電極36aとによってPチャンネルMOSトランジスタが形成されている。Pウェル34内の $n^+$ ソース/ドレイン領域43a、43bと、 $n^-$ ソース/ドレイン領域42a、42bと、ゲート電極36bとによってLDD(Lightly Doped Drain)構造のNチャンネルMOSトランジスタが形成されている。

【0058】ここで、この第3実施例では、PチャンネルMOSトランジスタを構成するソース/ドレイン領域40aおよび40bを覆うようにそれぞれ窒素注入領域41aおよび41bを形成している。この窒素注入領域41aおよび41bによってソース/ドレイン領域40aおよび40bの形成時の熱処理によりソース/ドレイン領域40aおよび40b内の不純物がNウェル33の内部に向かって拡散するのを有効に防止することができる。これにより、ソース/ドレイン領域40aおよび40b内の不純物のチャンネル領域51側への拡散も抑制されるので、チャンネル長が短くなるのを防止することができる。この結果、パンチスルー現象を有効に防止することができる。この効果は、素子が微細化された場合に特に有効である。

【0059】なお、NチャンネルMOSトランジスタを構成する $n^+$ ソース/ドレイン領域43a、43bを覆う窒素注入領域を設けていないのは、 $n$ 型不純物は $p$ 型不純物に比べて熱処理による拡散が少ないからである。これらは、たとえば、IEEE TRANSACTION ON ELECTRON DEVICES, VOL. 35, NO. 5, 1988 pp659-668に開示されている。

【0060】また、この第3実施例では、PチャンネルMOSトランジスタを構成するゲート電極36aとNチャンネルMOSトランジスタを構成するゲート電極36bのゲート酸化膜35a、35b側の領域にそれぞれ窒素注入領域38a、38bを形成している。そして、窒素注入領域38aおよび38b上にそれぞれボロン注入領域37aおよび37bを形成している。この窒素注入領域38aおよび38bによって、ボロン注入領域37aおよび37b内のボロンを活性化するための熱処理の際にボロンがゲート酸化膜35aおよび35bを通り抜けてチャンネル領域51および52内に拡散するのを有効に防止することができる。これにより、チャンネル領域51および52内へのボロンの拡散によるしきい値電圧の変動を防止することができる。この結果、CMOSトランジスタの特性が劣化するのを有効に防止することができる。

【0061】図25~図34は、図24に示した第3実

(8)

13

施例の半導体装置の製造プロセスを説明するための断面図である。図24～図34を参照して、次に第3実施例の半導体装置の製造プロセスについて説明する。

【0062】まず、図25に示すように、シリコン基板31の主表面上にNウェル33とPウェル34とを隣接するように形成する。シリコン基板31の主表面上の所定領域にLOCOS法を用いて分離酸化膜32を形成する。

【0063】次に、図26に示すように、全面にシリコン酸化膜（図示せず）と2000Å程度の厚みを有するノンドープトポリシリコン膜（図示せず）を形成した後パターニングすることによって、シリコン酸化膜からなるゲート酸化膜35a、35bとノンドープトポリシリコン膜からなるゲート電極36a、36bを形成する。

【0064】次に、図27に示すように、ゲート電極36aおよび36b以外の部分を覆うように写真製版技術を用いてレジスト44を形成する。レジスト44をマスクとしてゲート電極36aおよび36bに窒素（N<sup>+</sup>）をイオン注入する。この窒素の注入条件は、1E15～1E16個/cm<sup>2</sup>の濃度で、窒素イオンがゲート酸化膜35aおよび35bの近傍にまで注入されるような注入エネルギー（たとえば90KeV）で行なう。これにより、窒素注入領域38aおよび38bが形成される。

【0065】次に、図28に示すように、レジスト44をマスクとしてゲート電極36aおよび36bにボロンを注入する。このボロンの注入条件は、5E15個/cm<sup>2</sup>の不純物濃度で窒素注入領域38a、38bよりも浅くなるような注入エネルギー（たとえば30KeV）で行なう。これにより、ボロン注入領域37aおよび37bが形成される。この後、レジスト44を除去する。そして、800～1000℃の温度条件下で炉アニールなどの熱処理を行なう。この熱処理によって、ボロン注入領域37a、37b内のボロンはゲート酸化膜35a、35bに向かって拡散するとともに窒素注入領域38a、38b内の窒素はゲート酸化膜35a、35bとは反対に方向に向かって拡散する。

【0066】これにより、ボロンと窒素とが相互拡散することになり、ボロンのゲート酸化膜35a、35b方向への拡散が抑制される。この結果、ボロンの活性化のための熱処理によってボロンがゲート酸化膜35aおよび35bを通り抜けてチャネル領域に拡散するのが有効に防止される。これにより、しきい値電圧の変動を防止することができる。

【0067】上記のようなボロンと窒素との相互拡散によって、最終的に図29に示すような窒素注入領域38a、38bとボロン注入領域37a、37bが形成される。

【0068】次に、図30に示すように、Nウェル33、ゲート電極36aおよび36bを覆うように写真製版技術を用いてレジスト45を形成する。レジスト45

14

をマスクとしてPウェル34にリン（P）をイオン注入する。これにより、低不純物濃度のn<sup>-</sup>ソース/ドレイン領域42aおよび42bを形成する。この後、レジスト45を除去する。

【0069】次に、図31に示すように、全面にシリコン酸化膜（図示せず）を形成した後異方性エッチングすることによって、ゲート電極36aおよび36bの側壁部分にサイドウォール酸化膜39aおよび39bを形成する。

【0070】次に、図32に示すように、Nウェル33、ゲート電極36aおよび36bを覆うように写真製版技術を用いてレジスト46を形成する。レジスト46をマスクとしてPウェル34に砒素（As）を高不純物濃度で注入する。これにより、n<sup>+</sup>ソース/ドレイン領域43aおよび43bが形成される。この後、レジスト46を除去する。

【0071】次に、図33に示すように、Pウェル34、ゲート電極36a、36bを覆うように写真製版技術を用いてレジスト47を形成する。レジスト47およびサイドウォール酸化膜39aをマスクとして窒素をNウェル33に1E15～1E16個/cm<sup>2</sup>の濃度でイオン注入する。その注入エネルギーは、後工程で注入されるボロンの投影飛程（10KeVで0.032μm）よりも大きい値（30KeVで0.065μm）に設定される。このようにして窒素をイオン注入することによって、窒素注入領域41aおよび41bが形成される。

【0072】次に、図34に示すように、レジスト47およびサイドウォール酸化膜39aをマスクとしてNウェル33にボロンをイオン注入する。このボロンのイオン注入は、5E15個/cm<sup>2</sup>の不純物濃度、10KeVで0.032μmの注入エネルギーで行なう。これにより、窒素注入領域41aおよび41bよりも浅いボロン注入領域40aおよび40bが形成される。すなわち、ボロン注入領域40aおよび40bはそれぞれ窒素注入領域41aおよび41bによって囲まれた状態となる。

【0073】この後、レジスト47を除去する。そして、ボロンを電気的に活性化するため、炉アニールにより800℃の温度条件下で窒素雰囲気中で30分間熱処理を行なう。この熱処理により、ボロン注入領域40aおよび40b内のボロンはNウェル33の内部に向かって拡散するとともに、窒素注入領域41aおよび41b内の窒素はNウェル33の表面に向かって拡散する。

【0074】このようなボロンと窒素との相互拡散によって、ボロンのNウェル33の内部への拡散が抑制される。この結果、ボロン注入領域40aおよび40bのチャネル領域51方向への拡散も抑制される。これにより、チャネル長が短くなるのを有効に防止することができ、その結果パンチスルー現象を低減することができる。このようなボロンと窒素との相互拡散によって、最

(9)

15

最終的に図24に示したような拡散が抑制されたソース／ドレイン領域40aおよび40bが形成される。

【0075】なお、上記した第1実施例～第3実施例の半導体装置の製造プロセスでは、窒素イオンの注入後にボロンイオンの注入を行なっているが、窒素イオンの注入前にボロンイオンの注入を行なっても同様の効果を奏する。また、上記した第1実施例～第3実施例の半導体装置の製造プロセスでは、不純物の活性化のための熱処理方法として、炉アニールを用いたが、ラピッドサーマルアニール(RTA)を用いても同様の効果を奏する。さらに、上記第1実施例～第3実施例の半導体装置では、ソース／ドレイン領域に含まれるp型不純物としてボロンを用いたが、本発明はこれに限らず、たとえばBF<sub>3</sub>、BF<sub>2</sub>、BF、BClなどのボロン化合物を用いてもよい。

【0076】また、上記した第1実施例～第3実施例ではボロンの拡散を防止するものとして、窒素を用いたが、フッ素、アルゴン、酸素、炭素などを用いても同様の効果を得ることができる。

【0077】図35は、本発明の第4実施例による半導体装置(pnp型バイポーラトランジスタ)を示した断面図である。図35を参照して、この第4実施例によるバイポーラトランジスタでは、p型シリコン基板61の主表面上にp型シリコンコレクタ62が形成されている。p型シリコンコレクタ62の主表面上の所定領域には、SiO<sub>2</sub>膜65および68が形成されている。SiO<sub>2</sub>膜65と68に囲まれた領域のp型シリコンコレクタ62上にはn型シリコンベース63が形成されている。n型シリコンベース63上の所定領域にはp<sup>+</sup>型シリコンエピタキシャル層エミッタ64が形成されてい

る。【0078】また、p<sup>+</sup>型シリコンエピタキシャル層エミッタ64の側面部分および上面の一部を覆うように、SiO<sub>2</sub>膜66および67が形成されている。n型シリコンベース63上の所定領域には、ベース電極69および71がn型シリコンベース63に電気的に接続するように形成されている。p<sup>+</sup>型シリコンエピタキシャル層エミッタの上部表面上の所定領域には、p<sup>+</sup>型シリコンエピタキシャル層エミッタ64に電気的に接続するようにエミッタ電極70が形成されている。

【0079】ここで、この第4実施例のpnp型バイポーラトランジスタでは、ボロンがドーブされたp<sup>+</sup>型シリコンエピタキシャル層エミッタ4中に、窒素(N<sup>+</sup>)が1×10<sup>19</sup>個/cm<sup>3</sup>程度含まれている。これにより、不純物の活性化の際の熱処理によってp<sup>+</sup>型シリコンエピタキシャル層エミッタ64からn型シリコンベース63に向かってボロンが熱拡散し、厚みの薄いn型シリコンベースを突き抜けるという不都合を有効に防止することができる。つまり、窒素がボロンの拡散を抑制する働きをする。なお、窒素の含有量は、1×10<sup>19</sup>個/cm<sup>3</sup>

16

cm<sup>3</sup>以上で上記した効果が顕著に現れるが、それ以下でもある程度のボロンの拡散抑制効果は得られる。

【0080】なお、上記した第4実施例のpnp型トランジスタの製造方法としては、p型シリコンコレクタ62およびn型シリコンベース63は、イオン注入法を用いて形成してもよいし、エピタキシャル成長によって形成してもよい。n型の不純物としては、アンチモン(Sb)や砒素(As)を用い、p型の不純物としてはボロンを用いる。p<sup>+</sup>型シリコンエピタキシャル層エミッタ64は、エピタキシャル成長によって形成し、そのエピタキシャル成長させる際にボロンとともに窒素をドーブする。

【0081】図36は、本発明の第5実施例によるnpn型バイポーラトランジスタを示した断面図である。図36を参照して、この第5実施例では、高速動作が可能なnpn型バイポーラトランジスタについての適用例である。この第5実施例では、n型シリコン基板72の主表面上にn型シリコンコレクタ73が形成されている。n型シリコンコレクタ73の主表面上の所定領域にSiO<sub>2</sub>膜65と68とが形成されている。SiO<sub>2</sub>膜65と68とによって囲まれたn型シリコンコレクタ73の主表面上にはp型SiGeエピタキシャル層ベース74が形成されている。p型SiGeエピタキシャル層ベース74の主表面上の所定領域には、n型エピタキシャル層エミッタ75が形成されている。n型エピタキシャル層エミッタ75の側面および上部表面の一部を覆うようにSiO<sub>2</sub>膜66と67が形成されている。n型エピタキシャル層エミッタ75の上部表面上にはエミッタ電極70が電気的に接続するように形成されている。p型SiGeエピタキシャル層ベース74上の所定領域には、ベース電極69と71とが電気的に接続するように形成されている。

【0082】ここで、この第5実施例のnpn型ヘテロバイポーラトランジスタでは、p型SiGeエピタキシャル層ベース74中に、ボロンとともに窒素(N<sup>+</sup>)がドーブされている。この窒素によってボロンの熱拡散が有効に防止される。これにより、p型SiGeエピタキシャル層ベース74からボロンが拡散して実効ベース幅が広がり、その結果遮断周波数や高速動作特性を劣化させるという不都合を有効に防止することができる。

【0083】なお、上記した第4実施例および第5実施例では、バイポーラトランジスタに本発明を応用した例を示したが、エピタキシャル成長中にボロンと窒素とを同時にドーブしてボロンの拡散を防ぐ本発明による製造方法は、エピタキシャル成長工程を有するあらゆるシリコン系のデバイスに適用可能である。

【0084】また、上述した第4実施例および第5実施例は、エピタキシャル成長層(短期少層)についての適用例であるが、ポリシリコン層やアモルファスシリコン層においても同様の効果を期待することができる。すな

(10)

17

わち、ボロンをドーピングするポリシリコン層やボロンをドーピングするアモルファスシリコン層の成膜時に、窒素を同時にドーピングすることによって、ボロンの拡散を有効に抑制することができる。

【0085】次に、本発明の第6実施例について説明する。この第6実施例では、上記した第1実施例～第5実施例の製造方法と異なり、窒素をイオン注入する場合に窒素の単一イオン ( $N^+$ ) ではなく窒素の分子イオン ( $N_2^+$ ) を用いる。窒素の分子イオン ( $N_2^+$ ) は、窒素原子数が窒素の単一イオン ( $N^+$ ) の2倍であるとともに、質量数も2倍である。したがって、同一電荷量および同一窒素原子数でイオン注入を行なったとしても、窒素分子イオン ( $N_2^+$ ) による注入の方が窒素単一イオン ( $N^+$ ) による注入よりもイオン注入領域の結晶性が乱れやすい。したがって、窒素分子イオン ( $N_2^+$ ) を用いれば、窒素単一イオン ( $N^+$ ) を用いる場合に比べて、P型不純物のイオン注入時のチャネリングをより抑制することができるとともに、熱処理時のP型不純物の拡散をより抑制することができる。

【0086】図37は、窒素のイオン注入を行なわない場合のボロン (B) の拡散状態を示した不純物プロファイル図であり、図38は窒素の単一イオン ( $N^+$ ) をイオン注入する場合のボロン (B) の拡散状態を示した不純物プロファイル図であり、図39は窒素の分子イオン ( $N_2^+$ ) をイオン注入する場合のボロン (B) の拡散状態を示した不純物プロファイル図である。なお、図37～図39に示したボロン (B) は、シリコン基板に対して10keVの注入エネルギー、 $5 \times 10^{15}/\text{cm}^2$  のイオン注入量の条件下でイオン注入を行なった。そして、窒素雰囲気中で800℃の温度条件下で30分程度熱処理を行なった。また、図38に示すように、窒素の単一イオン ( $N^+$ ) は、シリコン基板に対して30keVの注入エネルギーで $1 \times 10^{15}/\text{cm}^2$  のイオン注入量の条件下でイオン注入した。また、図39に示すように、窒素の分子イオン ( $N_2^+$ ) は、シリコン基板に対して60keVの注入エネルギーで $1 \times 10^{15}/\text{cm}^2$  のイオン注入量の条件下でイオン注入した。

【0087】図37～図39を参照して、窒素イオン ( $N^+$ ,  $N_2^+$ ) の注入を行なった場合には、窒素イオンの注入を行なわない場合に比べてボロン (B) の拡散深さが浅く形成されていることがわかる。また、図38および図39を参照して、窒素の分子イオン ( $N_2^+$ ) のイオン注入を行なった方が、窒素の単一イオン ( $N^+$ ) のイオン注入を行なった場合よりも拡散深さが浅くなっていることがわかる。すなわち、窒素の分子イオン ( $N_2^+$ ) を用いてイオン注入を行なった方が窒素の単一イオン ( $N^+$ ) を用いる場合よりもボロン (B) が拡散するのを有効に防止することができることがわかる。

【0088】また、窒素の分子イオン ( $N_2^+$ ) を用い

18

てイオン注入した場合には、窒素の単一イオン ( $N^+$ ) を用いる場合に比べてシリコンウエハ面内の抵抗値のばらつきを減少させることができる。言換えると、窒素の分子イオン ( $N_2^+$ ) を用いれば、窒素の単一イオン ( $N^+$ ) を用いる場合に比べてシリコンウエハ面内の抵抗値の均一性を向上させることができる。本願発明者が実際に実験を行なったところ、以下のような結果が得られた。すなわち、一方のシリコンウエハに窒素の単一イオン ( $N^+$ ) を図38に示したイオン注入条件と同じ条件下で注入を行ない、他方のシリコンウエハに窒素の分子イオン ( $N_2^+$ ) を図39に示した注入条件と同じ注入条件で注入を行なった。そして、2つのシリコンウエハの抵抗値の均一性を測定した。具体的には、以下の式を用いた。

【0089】抵抗値の均一性＝抵抗値の標準偏差／抵抗値の平均値×100

上記の計算式に基づいて計算を行なったところ、窒素の単一イオン ( $N^+$ ) を用いた場合には抵抗値の均一性＝12.997%であり、窒素の分子イオン ( $N_2^+$ ) を用いた場合には抵抗値の均一性＝0.943%であった。この抵抗値の均一性の値が小さければ小さいほど抵抗値の均一性が向上していることを示す。したがって、窒素の分子イオン ( $N_2^+$ ) を用いる場合には窒素の単一イオン ( $N^+$ ) を用いる場合に比べてシリコンウエハの抵抗値の均一性を著しく向上させることができることがわかる。

【0090】

【発明の効果】以上のように、請求項1および2に記載の半導体装置によれば、ソース／ドレイン領域の接合深さと同等以上の深さを有する注入層をソース／ドレイン領域の接合領域の全域に沿って形成することにより、その注入層によってソース／ドレイン領域内の不純物を活性化するための熱処理の際にその不純物が半導体領域の内部に向かって拡散するのを有効に防止することができる。これにより、ソース／ドレイン領域内の不純物が熱処理によってチャネル領域側に拡散するのを防止することができ、チャネル長が短くなるという不都合を防止することができる。この結果、パンチスルー現象を有効に防止することができる。また、上記した注入層をソース／ドレイン領域の接合深さよりも大きい深さを有するとともにソース／ドレイン領域を覆うように形成すれば、ソース／ドレイン領域内の不純物の拡散をより有効に防止することができる。

【0091】請求項3に記載の半導体装置によれば、不純物を含むゲート電極のゲート絶縁層側の表面近傍に注入層を形成することによって、ゲート電極内の不純物を活性化するための熱処理の際にゲート電極内の不純物がゲート絶縁層側に向かって拡散するのを有効に抑制することができる。これにより、ゲート電極内の不純物がゲート絶縁層を通り抜けてチャネル領域にまで拡散するの



(11)

19

を防止することができる。この結果、チャネル領域への不純物の拡散によるしきい値電圧の変動を防止することができる。

【0092】請求項4に記載の半導体装置の製造方法によれば、第1導電型の半導体領域に窒素、フッ素、アルゴン、酸素、炭素からなる群より選ばれた1つを第1の投影飛程でイオン注入することによって注入層を形成し、同じ半導体領域に第2導電型の不純物を第1の投影飛程よりも小さい第2の投影飛程でイオン注入することによって第2導電型の1対の不純物領域を形成することにより、その不純物領域が注入層によって囲まれた状態となる。これにより、その後熱処理を施した場合に、不純物領域内の不純物は半導体領域の内部に向かって拡散する一方、注入層内の窒素は半導体領域の表面に向かって拡散する。この結果、不純物と窒素とが相互拡散することになり、不純物の半導体領域内部への拡散を抑制することができる。これにより、不純物のチャネル領域側への拡散も抑制することができる。この結果、パンチスルー現象を有効に防止し得る半導体装置を容易に製造することができる。

【0093】請求項5に記載の半導体装置の製造方法によれば、ゲート電極に不純物を導入することによりゲート電極内に不純物領域を形成し、そのゲート電極に窒素、フッ素、アルゴン、酸素、炭素からなる群より選ばれた1つをイオン注入することにより不純物領域と同等以上の深さを有する注入層を形成することによって、その後熱処理を施した場合に不純物領域内の不純物はゲート絶縁層に向かって拡散する一方、注入層内の窒素はゲート絶縁層とは反対の方向に向かって拡散する。これにより、不純物と窒素とが相互拡散することになり、不純物のゲート絶縁層側への拡散を抑制することができる。この結果、不純物がゲート絶縁層を通り抜けてチャネル領域にまで拡散するのを有効に防止することができる。これにより、しきい値電圧の変動を防止し得る半導体装置を容易に製造することができる。なお、請求項6に記載の発明によれば、上記した請求項4および5の製造方法において窒素をイオン注入する場合に窒素イオンとして窒素の分子イオン( $N_2^+$ )を用いれば、窒素の単一イオン( $N^+$ )を用いる場合に比べてさらに不純物の拡散を抑制することができる。

【0094】請求項7に記載のバイポーラトランジスタによれば、バイポーラトランジスタを構成するp型エピタキシャル成長層をボロンと窒素とを含むように構成することによって、窒素によってボロンの拡散を有効に防止することができ、その結果、例えばnpn型トランジスタの高速動作特性や遮断周波数特性が劣化するのを有効に防止することができる。

【図面の簡単な説明】

【図1】 本発明の第1実施例によるPチャネルMOS

20

トランジスタを含む半導体装置を示した断面図である。

【図2】 図1に示した第1実施例の半導体装置の製造プロセスの第1工程を説明するための断面図である。

【図3】 図1に示した第1実施例の半導体装置の製造プロセスの第2工程を説明するための断面図である。

【図4】 図1に示した第1実施例の半導体装置の製造プロセスの第3工程を説明するための断面図である。

【図5】 図1に示した第1実施例の半導体装置の製造プロセスの第4工程を説明するための断面図である。

10 【図6】 図1に示した第1実施例の半導体装置の製造プロセスの第5工程を説明するための断面図である。

【図7】 図1に示した第1実施例の半導体装置の製造プロセスの第6工程を説明するための断面図である。

【図8】 図1に示した第1実施例の半導体装置の製造プロセスの第7工程を説明するための断面図である。

【図9】 図1に示した第1実施例の半導体装置の製造プロセスの第8工程を説明するための断面図である。

【図10】 図7に示した窒素注入工程において、注入直後の深さと窒素濃度との関係を示した相関図である。

20 【図11】 図9に示したアニール（熱処理）工程において、800℃アニール後の深さと窒素濃度との関係を示した相関図である。

【図12】 図8に示したボロン注入工程において、注入直後の深さとボロン濃度との関係を従来との比較で示した相関図である。

【図13】 図9に示したアニール（熱処理）工程において800℃アニール後の深さとボロン濃度との関係を従来との比較で示した相関図である。

30 【図14】 本発明の第2実施例によるPチャネルMOSトランジスタを含む半導体装置を示した断面図である。

【図15】 図14に示した第2実施例の半導体装置の製造プロセスの第1工程を説明するための断面図である。

【図16】 図14に示した第2実施例の半導体装置の製造プロセスの第2工程を説明するための断面図である。

40 【図17】 図14に示した第2実施例の半導体装置の製造プロセスの第3工程を説明するための断面図である。

【図18】 図14に示した第2実施例の半導体装置の製造プロセスの第4工程を説明するための断面図である。

【図19】 図16および図17に示した窒素およびボロンの注入工程において、アニール後のゲート電極表面からの深さとボロン濃度および窒素濃度との関係を示した相関図である。

50 【図20】 図18に示したアニール（熱処理）工程において、ゲート電極表面からの深さとボロン濃度および窒素濃度との関係を示した相関図である。



(12)

21

【図21】 図14に示した第2実施例の半導体装置において、ゲート電極がドーパントポリシリコンによって形成される場合の製造プロセスの第1工程を説明するための断面図である。

【図22】 図14に示した第2実施例の半導体装置において、ゲート電極がドーパントポリシリコンによって形成される場合の製造プロセスの第2工程を説明するための断面図である。

【図23】 図14に示した第2実施例の半導体装置において、ゲート電極がドーパントポリシリコンによって形成される場合の製造プロセスの第3工程を説明するための断面図である。

【図24】 本発明の第3実施例によるCMOSトランジスタを含む半導体装置を示した断面図である。

【図25】 図24に示した第3実施例の半導体装置の製造プロセスの第1工程を説明するための断面図である。

【図26】 図24に示した第3実施例の半導体装置の製造プロセスの第2工程を説明するための断面図である。

【図27】 図24に示した第3実施例の半導体装置の製造プロセスの第3工程を説明するための断面図である。

【図28】 図24に示した第3実施例の半導体装置の製造プロセスの第4工程を説明するための断面図である。

【図29】 図24に示した第3実施例の半導体装置の製造プロセスの第5工程を説明するための断面図である。

【図30】 図24に示した第3実施例の半導体装置の製造プロセスの第6工程を説明するための断面図である。

【図31】 図24に示した第3実施例の半導体装置の製造プロセスの第7工程を説明するための断面図である。

【図32】 図24に示した第3実施例の半導体装置の製造プロセスの第8工程を説明するための断面図である。

【図33】 図24に示した第3実施例の半導体装置の製造プロセスの第9工程を説明するための断面図であ

22

る。

【図34】 図24に示した第3実施例の半導体装置の製造プロセスの第10工程を説明するための断面図である。

【図35】 本発明の第4実施例によるpnp型バイポーラトランジスタを示した断面図である。

【図36】 本発明の第5実施例によるnpn型バイポーラトランジスタを示した断面図である。

【図37】 窒素イオンを注入しない場合のボロン(B)の拡散状態を示した不純物プロファイル図である。

【図38】 窒素の単一イオン( $N^+$ )を注入する場合のボロン(B)の拡散状態を示した不純物プロファイル図である。

【図39】 窒素の分子イオン( $N_2^+$ )を注入する場合のボロン(B)の拡散状態を示した不純物プロファイル図である。

【図40】 従来のPMOSトランジスタを含む半導体装置を示した断面図である。

【図41】 図40に示した従来の半導体装置の製造プロセスの第1工程を説明するための断面図である。

【図42】 図40に示した従来の半導体装置の製造プロセスの第2工程を説明するための断面図である。

【図43】 図40に示した従来の半導体装置の製造プロセスの第3工程を説明するための断面図である。

【図44】 図40に示した従来の半導体装置の製造プロセスの第4工程を説明するための断面図である。

【図45】 図40に示した従来の半導体装置の製造プロセスの第5工程を説明するための断面図である。

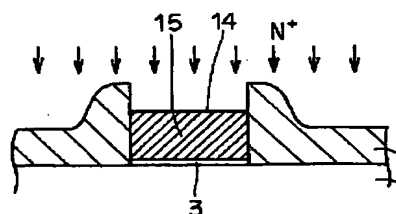
【図46】 図40に示した従来の半導体装置の製造プロセスの第6工程を説明するための断面図である。

【図47】 従来の半導体装置の問題点を説明するための断面図である。

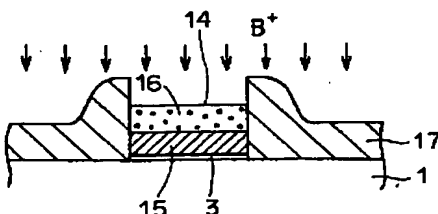
【符号の説明】

1 シリコン基板、2 分離酸化膜、3 ゲート酸化膜、4 ゲート電極、5 サイドウォール酸化膜、6 a, 6 b ソース/ドレイン領域、7 a, 7 b 窒素注入領域、15 窒素注入領域、16 ボロン注入領域。なお、各図中、同一符号は同一または相当部分を示す。

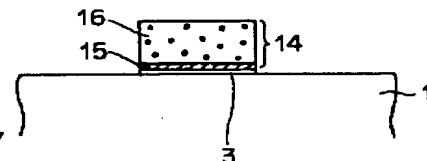
【図16】



【図17】

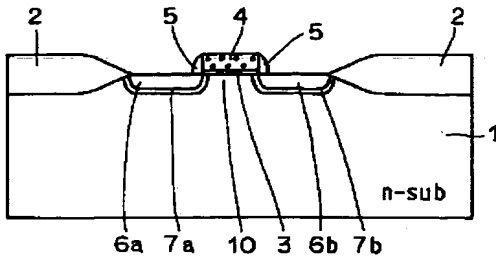


【図18】

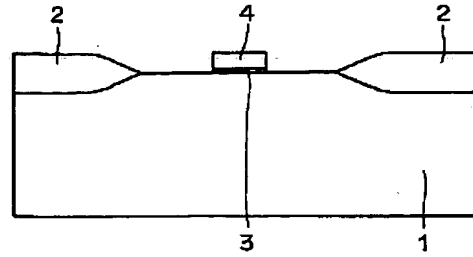


(13)

【図1】

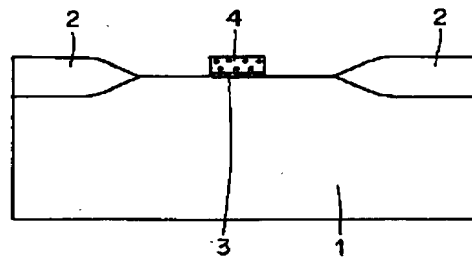


【図2】

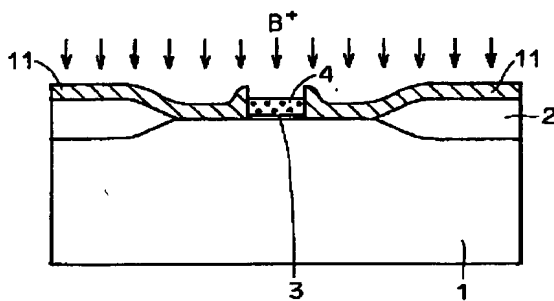


- 1: シリコン基板  
2: 分離酸化膜  
3: ゲート酸化膜  
4: ゲート電極  
5: サイドウォール酸化膜  
6a, 6b: ソース/ドレイン領域  
7a, 7b: 窒素注入領域

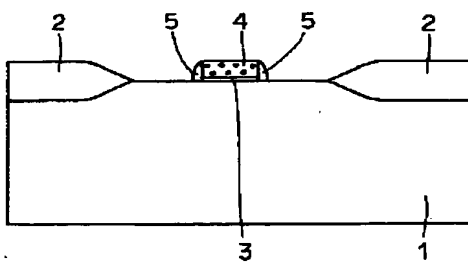
【図4】



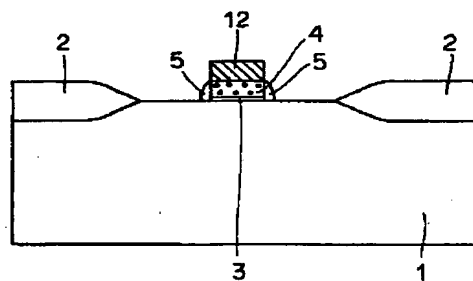
【図3】



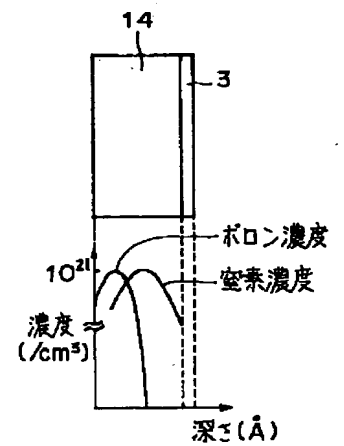
【図5】



【図6】

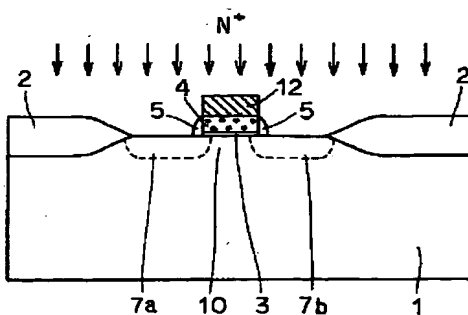


【図19】

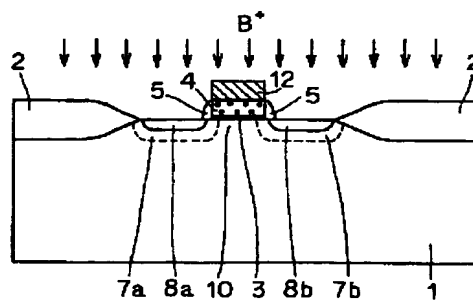


注入直後

【図7】

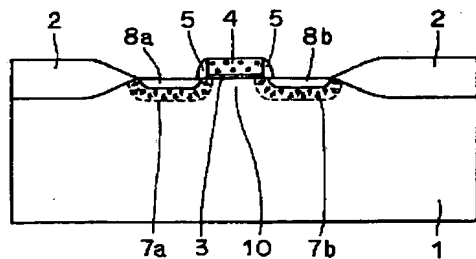


【図8】

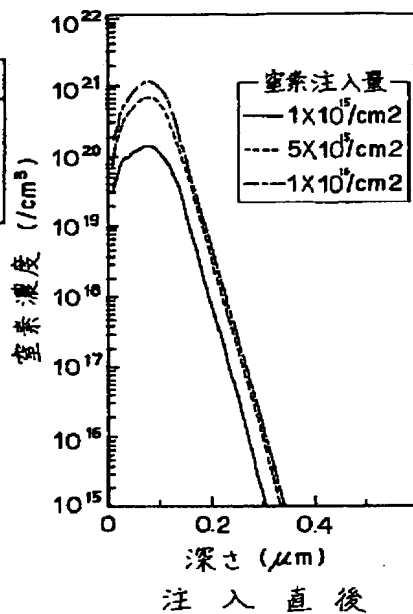


(14)

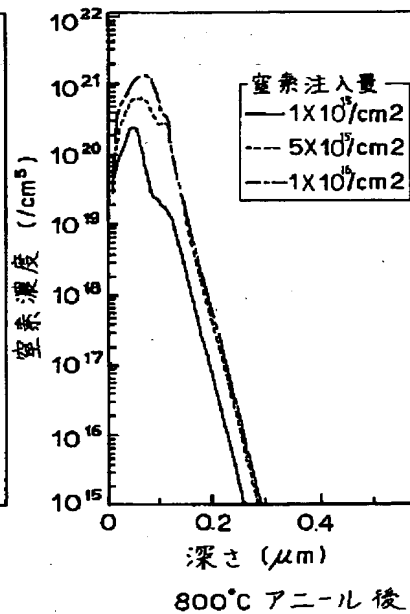
【図9】



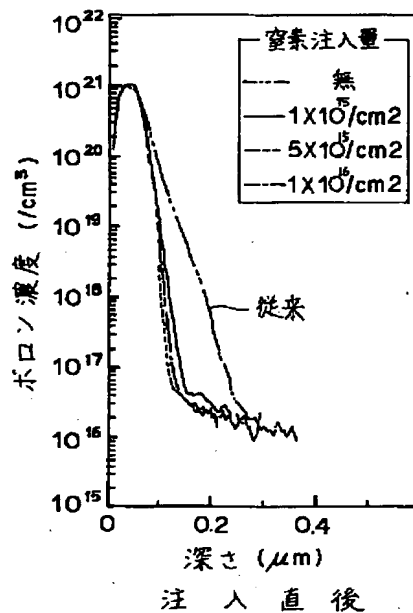
【図10】



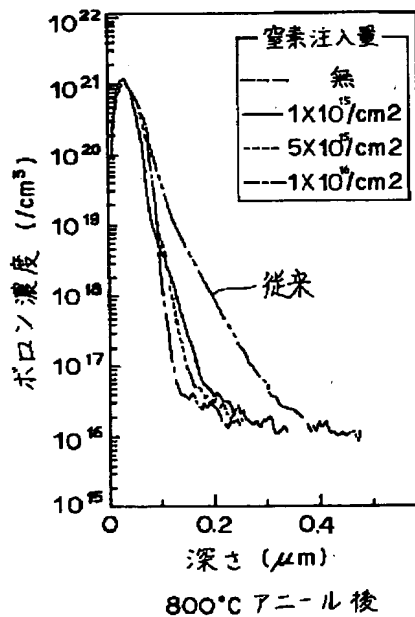
【図11】



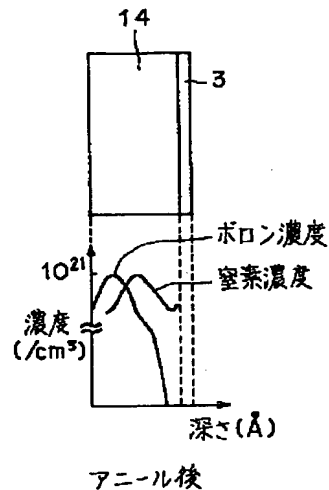
【図12】



【図13】

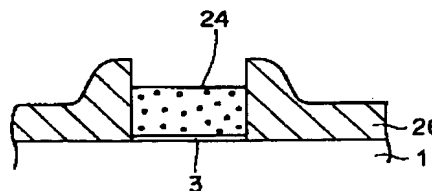


【図20】

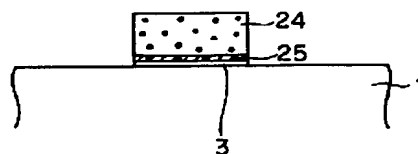
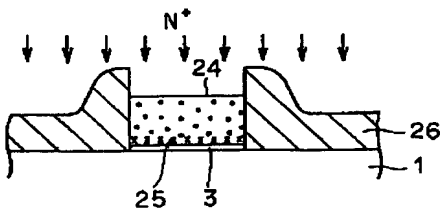


【図23】

【図21】

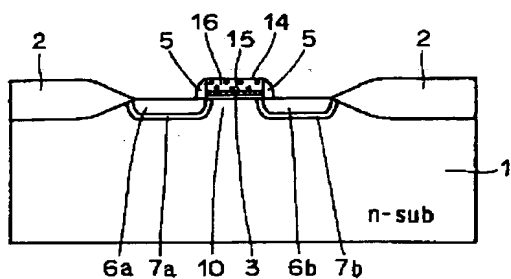


【図22】

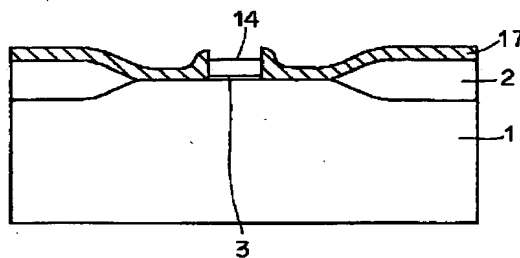


(15)

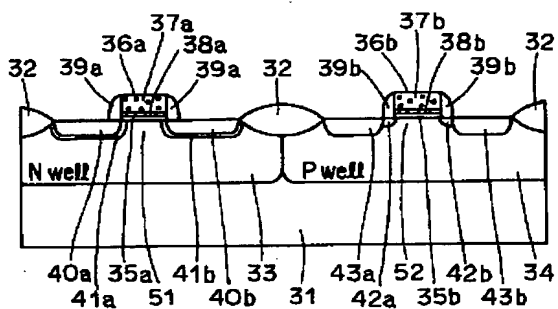
【図14】



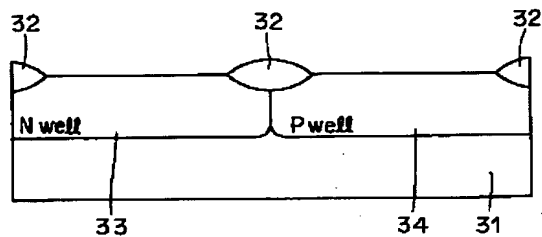
【図15】



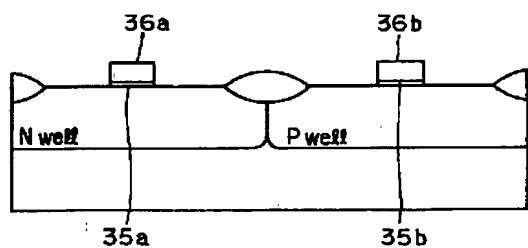
【図24】



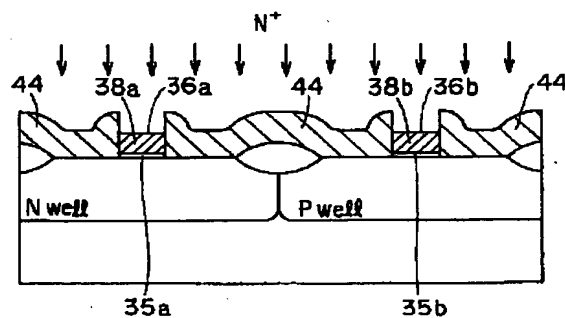
【図25】



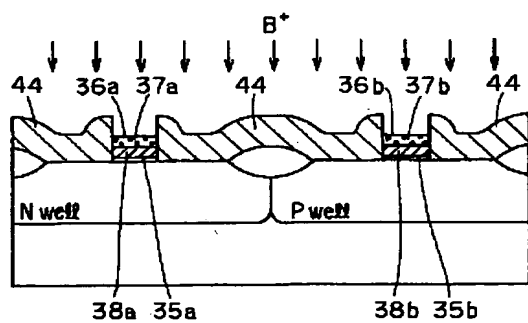
【図26】



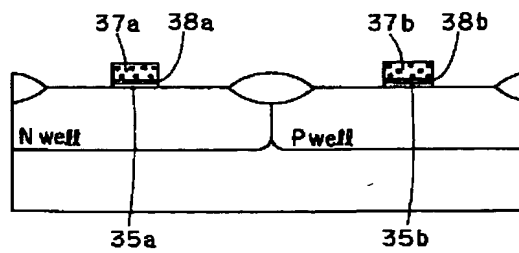
【図27】



【図28】

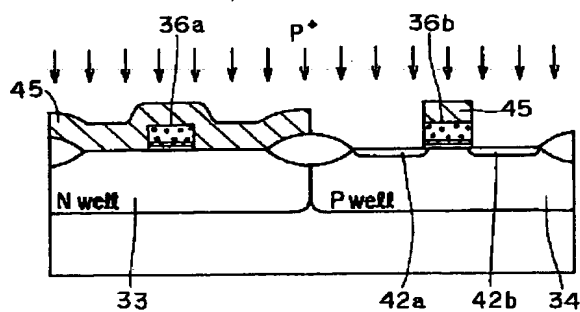


【図29】

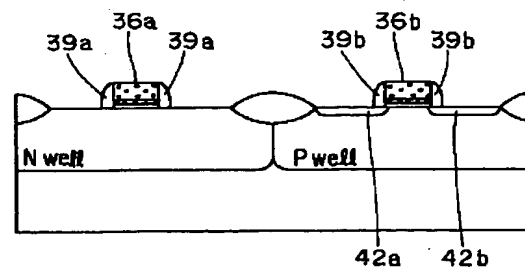


(16)

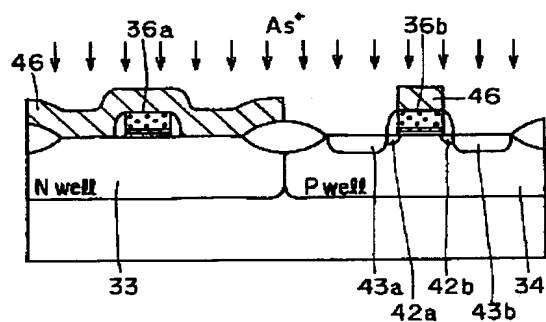
【図30】



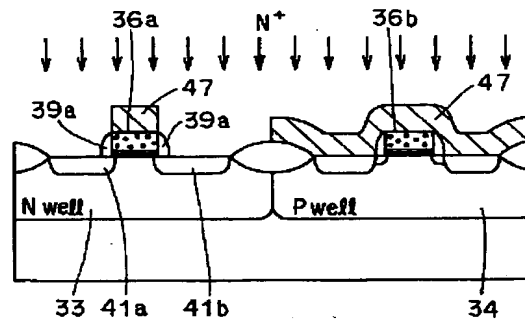
【図31】



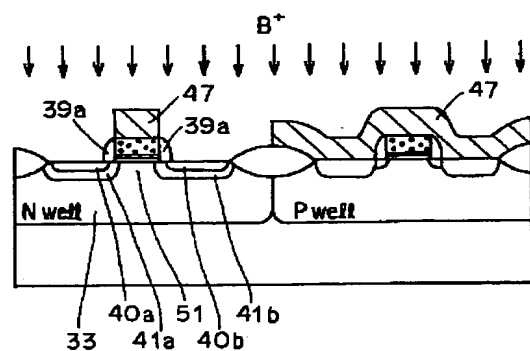
【図32】



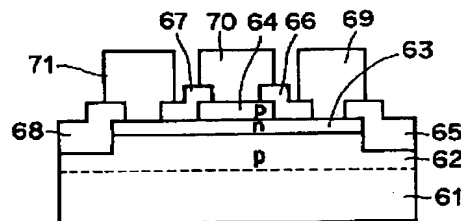
【図33】



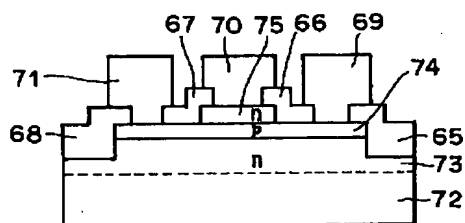
【図34】



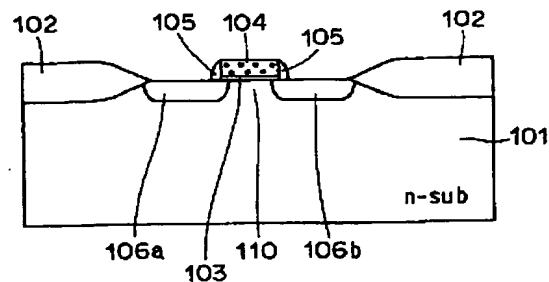
【図35】



【図36】

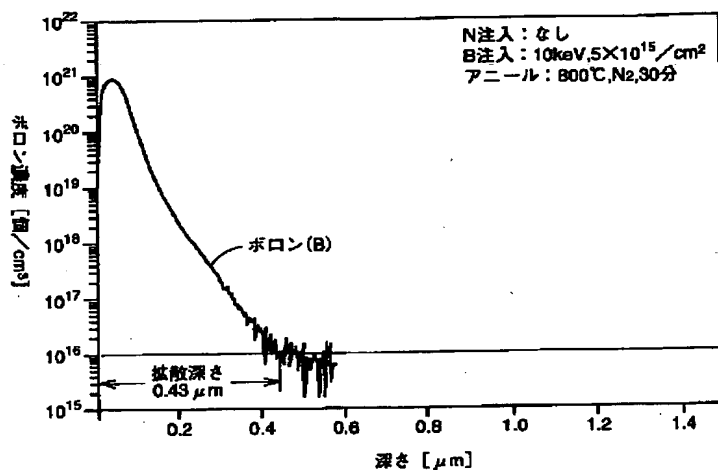


【図40】

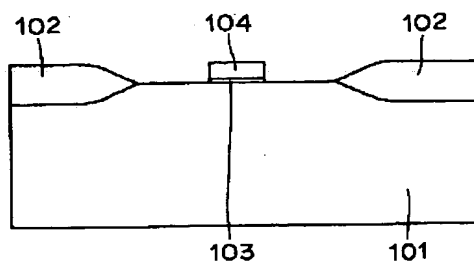


(17)

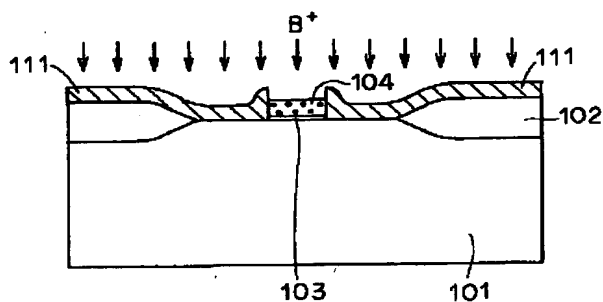
【図37】



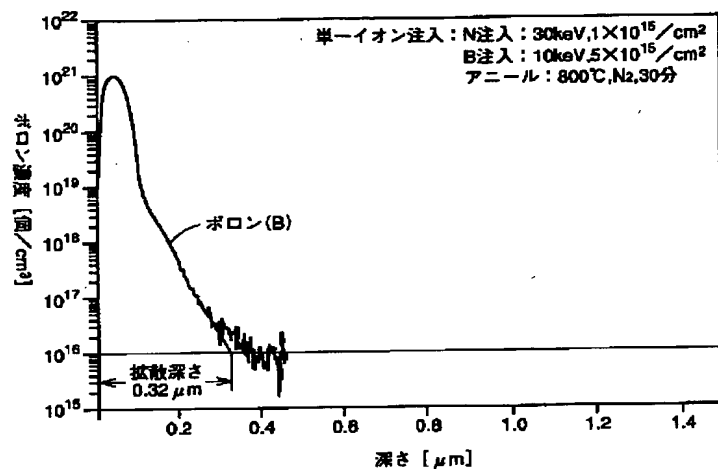
【図41】



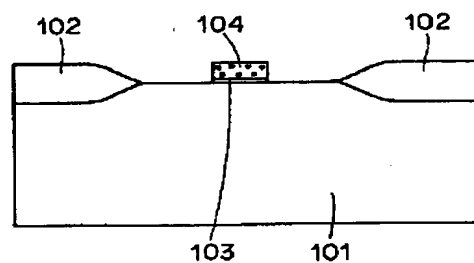
【図42】



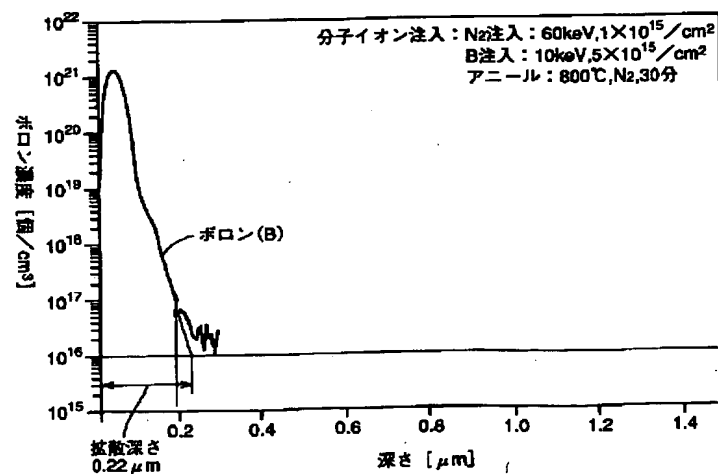
【図38】



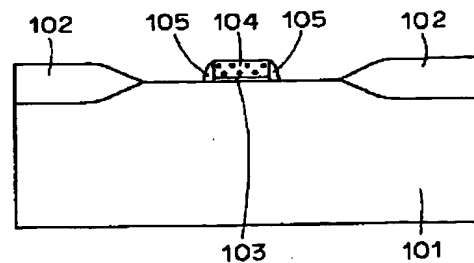
【図43】



【図39】

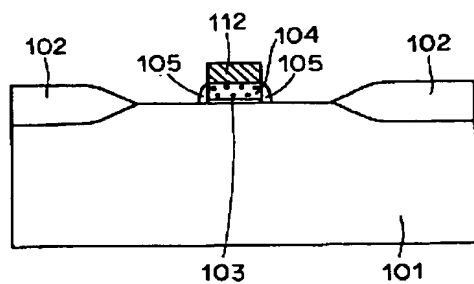


【図44】

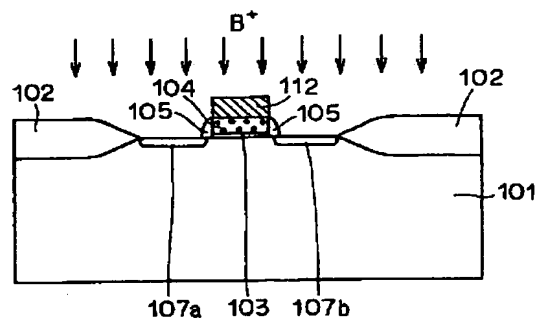


(18)

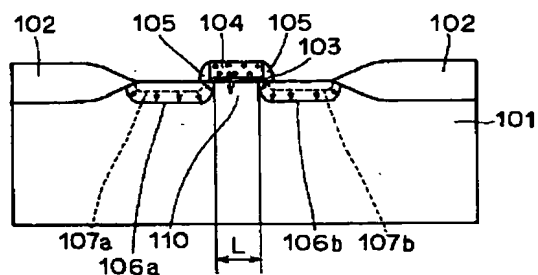
【図45】



【図46】



【図47】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

W

29/78

3 0 1 G

(72) 発明者 村上 隆志

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社ユー・エル・エス・アイ開発研究  
所内